Computational Intelligence in Electrical Engineering
Vol. 17, No. 2, 2026
pp. 31-44
Research Paper

Design of an X-Band Digital Attenuator with 30dB Dynamic Range using 65nm CMOS Technology for Short-Range Radar Applications

Sayed Mahdi Salehi Ghahfarokhi [1], Sayed Vahid Mir-Moghtadaei [2, 3]
[1] MSc, Department of Electronics and Communications, Faculty of Technology and Engineering, Shahrekord University, Shahrekord, Iran
[2] Assistant Professor, Department of Electronics and Communications, Faculty of Technology and Engineering, Shahrekord University, Shahrekord, Iran
[3] Information and Communication Technology Institute, Isfahan University of Technology, Isfahan, Iran

Abstract:
In this paper, a digitally controlled variable voltage attenuator is presented for sensitivity time control (STC) applications in short-range X-band radar systems using 65nm CMOS technology. The proposed design consists of a Π-type attenuator, a control-voltage generation operational amplifier, and a digital-to-analog converter (DAC). The Π attenuator is implemented using MOSFETs operating in the ohmic region to achieve proper input and output impedance matching, with its effective resistance controlled by the applied voltage. To mitigate the effects of parasitic capacitances and improve the frequency response, 10kΩ resistors and shunt inductors are employed. A 5bit R–2R ladder DAC with a 100MHz sampling frequency is used to provide the required control signal. Simulation results obtained using Cadence Spectre-RF show that at 10GHz the circuit achieves an attenuation range of approximately 34dB, a minimum insertion loss of 5dB, and worst-case S_{11} and S_{22} values of −7dB. The circuit can attenuate a pulsed signal in X-band by applying appropriate data to the DAC input at a clock rate of 100MHz in 500ns time from 5dB to 34dB, proportional to the radar relationship 1/R^4 (where R is the target distance from the radar) and with a delay of less than 5ns, making it suitable for short-range radar applications with low pulse repetition time (PRT). The power consumption of the circuit from a 1v voltage source is about 5mW.

Keywords: CMOS 65nm, Digital-to-Analog Converter, Radar, Sensitivity Time Control, Variable Voltage Attenuator.

This is an open access article under the CC BY-NC-ND/4.0/ License (https://creativecommons.org/licenses/by-nc-nd/4.0/).
https://doi.org/10.22108/isee.2026.148114.1779

مقاله پژوهشی

طراحی یک تضعیف‌کنندهٔ دیجیتال باند X با گسترهٔ دینامیکی dB۳۰ با استفاده از فناوری CMOS 65nm برای کاربردهای راداری برد کوتاه

سید مهدی صالحی قهفرخی [۱]، سید وحید میرمقتدایی * [۲ و ۳]

۱- کارشناسی ارشد، گروه الکترونیک و مخابرات، دانشکدهٔ فنی و مهندسی، دانشگاه شهرکرد، شهرکرد، ایران
mahdisalehi0252@gmail.com

۲- استادیار، گروه الکترونیک و مخابرات، دانشکدهٔ فنی و مهندسی، دانشگاه شهرکرد، شهرکرد، ایران
mirmoghtadaei@sku.ac.ir

۳- استادیار پژوهشکده فناوری اطلاعات و ارتباطات، دانشگاه صنعتی اصفهان، اصفهان، ایران

چکیده: در این مقاله، یک تضعیف‌کنندهٔ ولتاژ متغیر دیجیتال برای کاربرد کنترل زمان حساسیت (STC) در رادارهای باند X برد کوتاه با فناوری CMOS 65nm طراحی شده است. مدار پیشنهادی شامل تضعیف‌کنندهٔ نوع Π، مدار آپ امپ تولید ولتاژ کنترلی و یک مبدل دیجیتال به آنالوگ (DAC) است. تضعیف‌کنندهٔ Π با تطبیق امپدانس مناسب در ورودی و خروجی، به کمک ماسفت‌ها در ناحیهٔ اهمی اجرا و مقدار مقاومت آن توسط ولتاژ کنترلی تنظیم می‌شود. برای کاهش اثر خازن‌های پارازیتی و بهبود پاسخ فرکانسی، از مقاومت‌های k۱۰ اهمی و سلف‌های موازی استفاده شده است. مبدل DAC از نوع نردبانی R-2R ، پنج‌بیتی با فرکانس نمونه‌برداری MHz۱۰۰ است. طبق نتایج شبیه‌سازی در نرم‌افزار Cadence Spectre-RF مدار در فرکانس GHz۱۰ دارای گسترهٔ تضعیف حدود dB۳٤، حداقل افت عبوری 5dB (IL) و مقادیر S11 و S22 در بدترین حالت dBv− است. مدار می‌تواند یک سیگنال پالسی در باند X را با اعمال داده‌های مناسب به ورودی DAC با نرخ ساعت MHz۱۰۰ در زمان ns۵۰۰ از dB۵ تا dB۳٤، متناسب با رابطهٔ راداری R^4/۱ (که R فاصلهٔ هدف از رادار است) و با تأخیر کمتر از ns۵ تضعیف کند که آن را برای کاربردهای راداری برد کوتاه با زمان تکرار پالس (PRT) کم، مناسب می‌کند. مصرف توان مدار از یک منبع ولتاژ v۱ حدود mw۵ است.

واژه‌های کلیدی: تضعیف‌کنندهٔ ولتاژ متغیر، رادار، کنترل زمان حساسیت، مبدل دیجیتال به آنالوگ، nm CMOS٦۵.

۱- مقدمه

یکی از کاربردهای مهم تضعیف‌کننده‌های متغیر، اجرای بخش کنترل زمان حساسیت یا بخش STC[۱] در گیرنده‌های راداری است که وظیفهٔ آن اعمال تضعیف متناسب با $\frac{1}{R^4}$ (که R فاصلهٔ هدف از رادار است) بر روی سیگنال دریافتی از مسیر گیرندگی رادار است تا ضمن جلوگیری از اشباع گیرنده، گسترهٔ دینامیکی مبدل آنالوگ به دیجیتال مورد نیاز و در نتیجه، هزینهٔ کلی اجرا را نیز کاهش دهد. گیرندهٔ رادار بدون وجود STC و در صورت زیادبودن گین، اهداف دور را به‌خوبی آشکار می‌کند، ولی در آشکارسازی اهداف نزدیک، به دلیل قوی‌بودن سیگنال برگشتی و اشباع گیرنده، دچار مشکل می‌شود. همچنین، اگر گین کم باشد اهداف نزدیک به‌خوبی آشکار می‌شوند، ولی اهداف دور از دست می‌روند [۱].

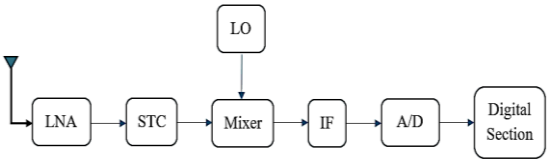
هدف از طراحی STC ایجاد تضعیف‌کننده‌ای است که به زمان حساس باشد؛ به طوری که در زمان‌های اولیه که نظیر دریافت سیگنال‌های برگشتی قوی در گیرندهٔ رادار است، میزان تضعیف آن بزرگ باشد؛ در نتیجه، اکوهای

تاریخ ارسال مقاله: ۱٤۰٤/۱۰/۲۹
تاریخ پذیرش مقاله: ۱٤۰۵/۰۸/۱۱
نام نویسنده مسئول: سید وحید میرمقتدایی

نشانی نویسنده مسئول: ایران، شهرکرد، دانشگاه شهرکرد، دانشکده فنی و مهندسی

نزدیک را به اندازهٔ کافی تضعیف کند و در زمان‌های انتهایی که نظیر دریافت سیگنال‌های دور و ضعیف است، هیچ تضعیفی بر روی سیگنال دریافتی اعمال نکند. بنابراین، با به‌کارگیری تکنیک STC، ضمن جلوگیری از اشباع گیرنده برای اهداف نزدیک (به دلیل قوی‌بودن سیگنال)، اهداف دور هم به‌خوبی آشکار می‌شوند.

بخش STC در هر دو قسمت RF و IF گیرندهٔ رادار قابل اجراست، اما اگر پاسخ فرکانسی STC به گونه‌ای باشد که در قسمت RF به کار گرفته شود، می‌تواند از به اشباع رفتن طبقات بیشتری از گیرنده جلوگیری کند و در نتیجه، کارایی کلی سامانهٔ راداری را افزایش می‌دهد. شکل (۱) بخش گیرندهٔ یک رادار را نشان می‌دهد. طبق این شکل، محل قرارگیری STC (در قسمت RF گیرنده) بین LNA و میکسر است.



شکل (۱): بلوک دیاگرام کلی گیرندهٔ رادار

STC در تمامی سامانه‌های راداری زمینی، هوایی و دریایی کاربرد دارد. در رادارهای دریایی به صورت خاص، از STC برای کنترل شدت سیگنال برگشتی استفاده می‌کنند. کلاتر[۲] دریا منبع اصلی تداخل در تشخیص اهداف راداری در دریاست [۲] و استفاده از STC باعث کاهش اثر آن می‌شود.

بخش اصلی یک STC، تضعیف‌کنندهٔ متغیر و قابل کنترل است. برای اجرای یک تضعیف‌کننده، روش‌هایی مختلف از جمله استفاده از دیودهای PIN و تقویت‌کننده‌هایی با گین قابل برنامه‌ریزی و... وجود دارند. برای مثال، در [۳]، با استفاده از دیودهای PIN یک تضعیف‌کنندهٔ RF طراحی شده است. عموماً در این تضعیف‌کننده‌ها با تغییر ولتاژ DC اعمالی به دیود یک مقاومت متغیر ایجاد می‌شود. تضعیف‌کنندهٔ طراحی‌شده در [۳] خطینگی و تطبیق خوبی در فرکانس 300KHz-3GHz دارد، ولی فناوری تراشه‌ای که امکان اجرای دیودهای PIN در آن باشد، بسیار گران قیمت هستند.

در [۴]، یک تضعیف‌کنندهٔ نوع T در فناوری CMOS 65nm طراحی شده است که می‌تواند تا 42dB تضعیف روی سیگنال اعمال کند و در آن با استفاده از تکنیک مدارات کپی[۳]، رفتار قسمت اصلی مدار از نظر تغییرات حرارتی و الکتریکی پیشبینی و جبران شده است، ولی مساحت آن نسبتاً زیاد است. در [۵]، یک تضعیف‌کنندهٔ پیوستهٔ نوع Π در فناوری CMOS 65nm شبیه‌سازی شده است که بازهٔ فرکانسی وسیعی از 10GHz تا 110GHz را پوشش می‌دهد. گسترهٔ تضعیف آن در همین بازهٔ فرکانسی کم و فقط 16dB است، ولی تلفات برگشتی آن بهتر از -22dB گزارش شده است.

یک تضعیف‌کنندهٔ ولتاژ متغیر در [۶] با پهنای باند وسیع با استفاده از فناوری CMOS 0.18µm طراحی و ساخته شده است. در این ساختار، چهار طبقهٔ Bridge-T برای رسیدن به گسترهٔ تضعیف 12dB در فرکانس DC-2.5GHz به حالت کسکود قرار گرفته‌اند. مقدار S_{11} در بدترین حالت برابر -11.5dB است. عیب این مدار گسترهٔ کم تضعیف است. همچنین، مقدار *IIP3* در حداکثر تضعیف به +31dBm می‌رسد. در [۷]، نیز یک مدار تضعیف‌کنندهٔ دیگر بر اساس تضعیف‌کنندهٔ نوع Π در فناوری CMOS 180nm سه‌چاهه طراحی شده است که فناوری نسبتاً گران‌قیمتی محسوب می‌شود. نویسندگان مقالهٔ اخیر برای بهبود خطینگی، در هر کدام از بازوهای سری و موازی از سه ترانزیستور به صورت سری، به جای یک ترانزیستور استفاده کرده‌اند. میزان تضعیف این مدار در باند فرکانسی 400MHz-3.7GHz به 33dB می‌رسد.

در این مقاله، یک مدار تضعیف‌کنندهٔ ولتاژ متغیر نوع Π و یک مبدل دیجیتال به آنالوگ (DAC) نردبانی R-2R در فناوری CMOS 65nm برای اجرای بخش STC سامانه‌های راداری، طراحی و شبیه‌سازی شده است. برای جبران اثر خازن‌های پارازیتی و افزایش پهنای باند از سلف‌های موازی در هر یک از بازوهای موازی و سری استفاده شده است. همچنین، در این مدار از سه ترانزیستور به صورت سری در هر یک از بازوهای سری و موازی استفاده شده است که

باعث بهبود خطینگی مدار می‌شود.

نتایج شبیه‌سازی با استفاده از نرم‌افزار Cadence Spectre-RF در محدودهٔ فرکانسی 8GHz تا 12GHz نشان می‌دهد حداقل افت عبوری در مدار تضعیف‌کننده 5dB و بدترین مقدار تلفات برگشتی نیز در حدود 7dB است. گسترهٔ دینامیکی تضعیف‌کننده به هنگام تغییر ولتاژ کنترلی از 0 تا 1v حدوداً 34dB و مصرف توان آن از یک منبع ولتاژ 1v حدود 5mw است. همچنین، میزان تأخیر مدار به هنگام تغییر تضعیف در حدود 2.5ns است.

در مدار STC، علاوه بر مدار تضعیف‌کننده، از یک مبدل دیجیتال به آنالوگ نیز استفاده شده است. مبدل دیجیتال به آنالوگ یادشده ۵بیتی با فرکانس نمونه‌برداری 100MHz و برای سادگی، از نوع نردبانی R-2R است. با اعمال دیتاهای کنترلی مناسب، تضعیف اعمالی به سیگنال ورودی با دقتی خوب متناسب با $\frac{1}{R^4}$ شده است. آپ امپ استفاده‌شده در مبدل از نوع ریل به ریل است که سوئینگی خوب از صفر تا V_{dd} دارد. در کل مدار، STC می‌تواند در مدت زمان 500ns بیش از 30dB تضعیف روی سیگنال اعمال کند که عددی قابل ملاحظه است.

در ادامه، در بخش ۲، ابتدا روابط حاکم بر تضعیف‌کننده‌ها و مدار تضعیف‌کنندهٔ طراحی‌شده تحلیل می‌شود. سپس، در بخش ۳، ابتدا مدار تضعیف‌کننده و نتایج شبیه‌سازی آن ارائه می‌شود و سپس، مدار STC پیشنهادی به همراه نتایج شبیه‌سازی ارائه می‌شود. نتیجه‌گیری نیز در بخش ٤ خواهد آمد.

۲- روابط حاکم بر مدار پیشنهادی

در این بخش، ابتدا رابطهٔ حاکم بر فاصله و توان دریافتی در رادار بررسی، و بر اساس آن، رابطهٔ STC ارائه می‌شود. در ادامه، ضمن بررسی تضعیف‌کنندهٔ نوع Π، نحوهٔ اجرای آن توسط ماسفت‌ها بیان می‌شود.

۲-۱- رابطهٔ میزان تضعیف با فاصله در STC

هدف، طراحی یک STC دیجیتال با گسترهٔ دینامیکی 30dB و در باند فرکانسی 8GHz تا 12GHz است. منظور از گسترهٔ دینامیکی، تفاوت بین حداکثر تضعیف (در زمان‌های ابتدایی دریافت اکو در گیرندهٔ رادار) و حداقل تضعیف (در زمان‌های انتهایی) است.

میزان تضعیف سیگنال توسط STC به فاصلهٔ هدف از رادار (R) بستگی دارد. میزان تضعیف سیگنال در فضا متناسب با $\frac{1}{R^2}$ است و با توجه به اینکه سیگنال ارسالی توسط فرستندهٔ رادار دو بار مسیر بین رادار و هدف را طی می‌کند، میزان تضعیف STC برحسب زمان باید متناسب با $\frac{1}{R^4}$ باشد. این رابطه از معادلهٔ برد رادار (رابطهٔ ۱) حاصل شده است:

$$R_{max} = \sqrt[4]{\frac{P_S\, G^2 \lambda^2 \sigma}{P_{e_{min}} (4\pi)^3}} \qquad (۱)$$

در این معادله، منظور از P_S توان ارسالی، G گین آنتن، λ طول موج، σ سطح مقطع رادار و $P_{e_{min}}$ کمترین توان دریافتی قابل تشخیص توسط رادار است [۱].

در بخش بعد، انواع تضعیف‌کننده‌ها بررسی می‌شوند که بخش اصلی مدارSTC هستند.

۲-۲- تضعیف‌کننده‌ها و روابط حاکم

تضعیف‌کننده‌های ولتاژ متغیر (VVA)[٤] به طور گسترده در سامانه‌های مایکروویو مانند رادارهای آرایهٔ فازی[٥]، گیرنده‌های بی‌سیم، دستگاه‌های اندازه‌گیری، کنترل خودکار بهره[٦] و ... استفاده می‌شوند [۸]. در این مقاله، کاربرد تضعیف‌کننده‌ها در STC بررسی می‌شود.

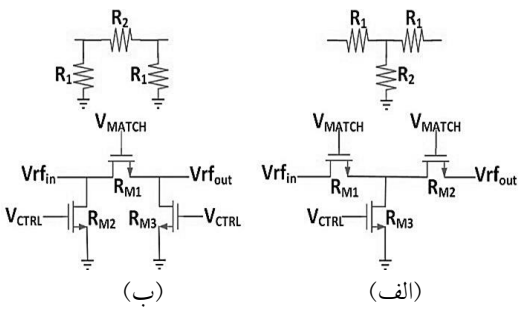
به طور کلی، دو نوع VVA وجود دارند: VVA دیجیتال و VVA پیوسته. به دلیل محدودهٔ زیاد مقاومت ایجادشده توسط ماسفت‌ها و مصرف توان ناچیز در آنها، از این افزاره در هر دو نوعVVA استفاده می‌شود. این دو نوع تضعیف‌کننده از روش‌هایی مختلف برای تضعیف توان استفاده می‌کنند. در VVA، دیجیتال تعداد ماسفت افزایش می‌یابد و تضعیف‌های گسسته ایجاد می‌کند؛ در حالی که VVA پیوسته با تعدادی کمتر از ماسفت‌ها، تضعیف‌هایی پیوسته به وجود می‌آورد [۵، ۹].

مصـــرف توان DC تضـــعیف‌کننده‌ها عمدتاً به دلیل بلوک‌های کنترلی است. علاوه بر این، خطینگی تضعیف‌کننده نسـبتاً از مصـرف توان مسـتقل اسـت. بیشـتر طرح‌های گزارش‌شده دارای IIP_3 به اندازهٔ چند dBm با مصرف توان DC تا 2mw هســتند [۱۰، ۱۱]. به علاوه، کوچک‌ســازی فناوری CMOS افزاره‌هایی ســریع‌تر را فراهم می‌کند که برای کاربردهای RF پهن‌باند مناسب هستند که می‌توانند در یک تراشـه مجتمع شـوند. یک تضـعیف‌کنندهٔ منطبق دارای منحنی تضـــعیف خطی در واحد dB اســـت. امپدانس‌های ورودی و خروجی در کل بازهٔ فرکانسی با امپدانس مشخصهٔ خط که معمولاً 50Ω است، تطبیق دارند [٤].

شـــبکـه‌هـای T و P از متـداول‌ترین ســـاختـارهـای تضـعیف‌کننده هسـتند که مدل مقاومتی و ترانزیسـتوری آنها در شکل (۲) نشان داده شـده اسـت. در حالت ترانزیستوری، ولتاژی که به ترانزیستورهای موازی و سری اعمال می‌شود، بـه ترتیـب V_{shunt} و V_{series} نـام دارد. از آنجـا کـه این ترانزیســـتورهـا نقش مقـاومتی دارنـد، عمومـاً طوری تنظیم می‌شـــونـد کـه در حـالـت ترایود بـاشـــنـد. در هر دو نوع تضـعیف‌کننده، به منظور افزایش میزان تضـعیف، باید مقدار مقـاومـت افزاره(هـای) ســـری افزایش و مقـدار مقـاومـت افزاره(های) موازی کاهش یابد.

از آنجا که ترانزیسـتورهای تضـعیف‌کننده نقش مقاومت را دارند، لازم است تمام ترانزیستورهای شاخه‌های موازی و ســـری در حالت ترایود باشـــند. رابطهٔ (۲) مقدار مقاومت ترانزیستور در حالت ترایود را نشان می‌دهد:

$$R=\frac{1}{\mu_n C_{ox}\frac{W}{L}(V_{GS}-V_{th})} \qquad (۲)$$



شکل (۲): شبکه‌های تضعیف‌کنندهٔ الف: نوع T و ب: نوع Π [٤]

هر کدام از مقاومت‌های سری و موازی موجود در شکل (۲) رابطه‌ای با میزان تضـــعیف دارند. روابط (۳) و (٤) به ترتیب رابطهٔ مقدار مقاومت موازی و سری با میزان تضعیف را در تضعیف‌کنندهٔ نوع **Π** نشان می‌دهند:

$$R_{shunt}=R_1=Z_0\left(\frac{K+1}{K-1}\right) \qquad (۳)$$

$$R_{series}=R_2=Z_0\left(\frac{K^2+1}{2K}\right) \qquad (٤)$$

در رابطه‌های بالا، $Z_0=50\Omega$ و $K=10^{\frac{atten}{20}}$ اســـت. منظور از *atten* میزان تضعیف برحسب dB است [۱۲].

بر اساس نتایج به‌دست‌آمده از [٤]، تضعیف‌کنندهٔ نوع Π از نظر شرایطی مانند حداقل افت عبوری (IL)، پهنای باند و ... شـرایطی بهتر نسـبت به تضـعیف‌کنندهٔ نوع T دارد؛ از این رو، در این پژوهش، تضـعیف‌کنندهٔ طراحی‌شـده بر اسـاس مدل Π است.

یـک مـدار تضـــعیف‌کننـده بـا تغییر مناســـب مقـادیر مقاومت‌ها، میزان تضـعیف سـیگنال ورودی را بدون تغییر در امپـدانس‌هـای ورودی و خروجی تعیین می‌کنـد. در عمـل، وجود خازن‌های پارازیتی در شـــاخه‌های ســـری و موازی، میزان امپدانس و تضـعیف را تحت تأثیر قرار می‌دهد؛ از این رو، باید اثر این خازن‌های پارازیتی خنثی شود.

در این مقاله، برای حذف اثر خازن‌های پارازیتی در هر یک از شـاخه‌های سـری و موازی، از سـلف‌های موازی به منظور رزونانس استفاده شده است. همچنین، از مقاومت‌های بزرگ 10kΩ به منظور کاهش اثر خازن‌های گیت–سـورس و گیت–درین، در گیت ترانزیستورهای تضعیف‌کننده استفاده شده است.

به منظور کاهش تغییرات مقاومتی در مدار، لازم اســـت نوســـانات ولتاژ از گیت به سـورس هر ترانزیسـتور کاهش یابد؛ یعنی چندین ترانزیستور به صورت سری به هم وصل شـوند تا جایگزین ترانزیسـتور اصـلی شـوند. این کار باعث تقسیم مساوی سوئینگ سیگنال بین ترانزیستورها در شاخهٔ موازی می‌شـود و در نتیجه، تغییرات ولتاژ گیت–سـورس و مقاومت کانال هر ترانزیسـتور کاهش می‌یابد و موجب بهبود خطینگی می‌شود [۷].

از آنجـا کـه گســـترهٔ دینـامیکی در این پژوهش 30dB انتخاب شده است، می‌توان مقدار محدودهٔ مقاومت دیده‌شده از ترانزیســتورهای بازوهای موازی و ســری را از تضــعیف

1dB تا 30dB طبق دو رابطهٔ (۳) و (٤) به دست آورد (رابطهٔ ۵):

$$R_{shunt}=R_1=(890\Omega\text{-}53\Omega),\quad R_{series}=R_2=(6\Omega\text{-}790\Omega),\quad V_{ctrl}=V_{shunt}=0\text{-}1v \qquad (۵)$$

گفتنی است، ولتاژ کنترلی همان ولتاژ موازی (V_{shunt}) است و ولتاژ سری (V_{series}) که به شاخهٔ سری اعمال می‌شود، از روی V_{shunt} و توسط یک مدار مناسب تولید می‌شود. تغییرات مقاومتی در رابطهٔ (۵) در حالی است که ولتاژ کنترلی (موازی) از 0 تا 1v تغییر می‌کند.

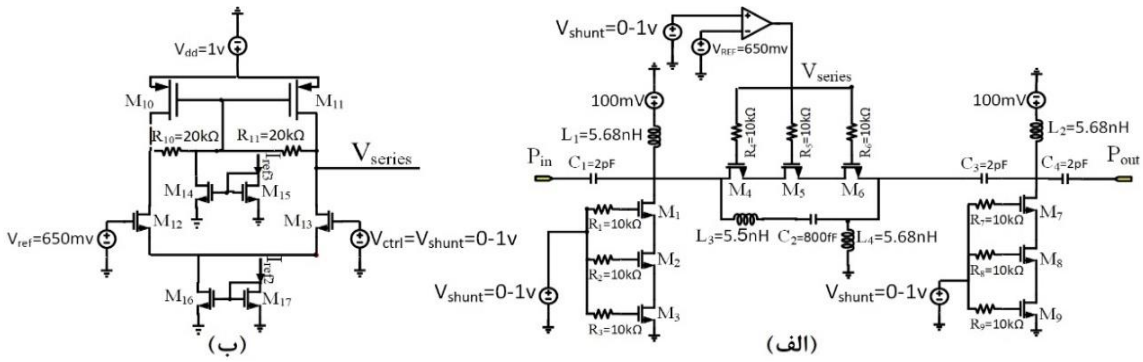
همان‌طور که از رابطهٔ (۵) مشخص است، مقاومت موازی باید از یک مقدار حداکثری (890Ω) به یک مقدار حداقلی (53Ω) طبق رابطهٔ (۲) و با افزایش ولتاژ کنترلی (موازی) تغییر کند. برخلاف مقاومت موازی، مقاومت سری باید با افزایش ولتاژ کنترلی از مقدار حداقلی 6Ω به مقدار حداکثری 790Ω افزایش یابد. از این رو، باید مداری برای ساخت ولتاژ سری از روی ولتاژ موازی در نظر گرفته شود؛ به طوری که با زیادشدن V_{shunt} ، مقدار V_{series} به صورتی مناسب کاهش و سپس، مطابق رابطهٔ (۲)، مقدار مقاومت سری افزایش یابد. به عبارتی، رابطهٔ میان ولتاژ سری و موازی، رابطه‌ای معکوس است. در ادامه، یک مدار برای ساخت ولتاژ سری معرفی می‌شود. ارائهٔ این مدار برای تولید V_{series} از V_{shunt} لازم است؛ زیرا فقط V_{shunt} به عنوان ولتاژ کنترلی اعمال‌شده از خارج مدار در نظر گرفته شده است.

شکل (۳ الف) مدار تضعیف‌گر پیشنهادی و شکل (۳ ب) مدار آپ امپ آن را نشان می‌دهد. در این مدار، از دو بازوی موازی و یک بازوی سری برای تشکیل تضعیف‌کنندهٔ Π استفاده شده است. به منظور اطمینان از قرارگیری ترانزیستورهای تضعیف‌کننده در حالت ترایود، ترانزیستورها توسط منابع DC با مقدار 100mv بایاس شده‌اند.

برای جداکردن قسمت‌های مختلف مدار از نظر DC و جلوگیری از تغییر در بایاس بخش‌های مختلف، از خازن‌های C_1 تا C_3 استفاده شده است. سلف‌های L_1 تا L_3، با خازن‌های پارازیتی رزونانس می‌کنند تا پاسخ فرکانسی را بهبود دهند. از سلف L_4 نیز برای ایجاد مسیر DC به زمین استفاده شده و که فرکانس کاری مدنظر دارای امپدانسی بزرگ است.

به منظور تعیین ابعاد ترانزیستورها و مقدار سلف‌ها، لازم است هر کدام از شاخه‌های موازی و سری به صورت جداگانه بررسی شوند. ابعاد ترانزیستورها به گونه‌ای تعیین می‌شوند که با تغییر ولتاژهای کنترلی، شامل V_{shunt} و V_{series}، مقدار مقاومت دیده‌شده از هر کدام از شاخه‌های موازی و سری برابر بازهٔ مقاومت‌های بیان‌شده در رابطهٔ (۵) باشد تا بتوان تضعیف از صفر تا 30dB را ایجاد کرد. همچنین، سلف‌های موازی به گونه‌ای مقداردهی می‌شوند که اثر خازن‌های پارازیتی را با رزونانس خنثی کنند. ابعاد ترانزیستورهای شاخهٔ موازی و سری به ترتیب $\frac{w}{L}=\frac{45um}{60nm}$ و $\frac{w}{L}=\frac{40um}{60nm}$ انتخاب شده‌اند.

در آپ امپ شکل (۳ ب) ولتاژ مرجع (V_{ref}) برابر 650mv انتخاب شده است. مقدار پیش‌فرض V_{shunt} نیز 600mv در نظر گرفته شده است. هدف آن است که با مقایسهٔ این دو ولتاژ، V_{series} توسط آپ امپ تولید و سپس به گیت ترانزیستورهای سری اعمال شود.



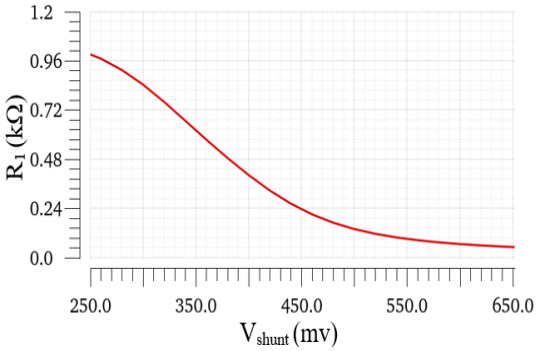
شکل (۳): الف) مدار تضعیف‌کنندهٔ پیشنهادی و ب) مدار آپ امپ به‌کاررفته در تضعیف‌کننده

۳- شـــماتیک و نتایج شـــبیه‌ســـازی مدار پیشنهادی

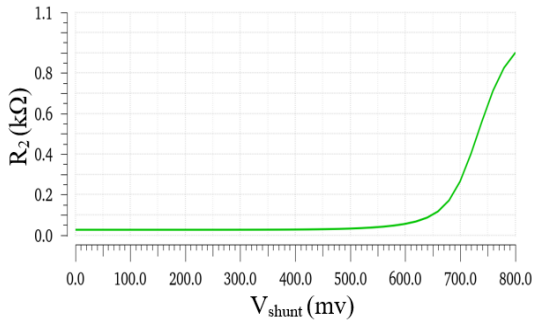
در این بخش، ابتدا شـــماتیک و نتایج شـــبیه‌ســـازی یک تضـعیف‌کننده ارائه می‌شـود و سـپس، با اسـتفاده از آن، یک STC طراحی و شبیه‌سازی می‌شود.

۳-۱- شماتیک و نتایج شبیه‌سازی تضعیف‌کننده

نتایج شـبیه‌ســازی مقاومت دیده‌شــده از شــاخهٔ موازی تضـعیف‌کننده برحسـب ولتاژ کنترلی (V_{shunt}) در شـکل (٤) نشـان داده شـده اسـت. طبق رابطهٔ (٥)، برای تضـعیف 1dB تا 30dB، مقدار مقاومت موازی(R_1) بین 890Ω تا 53Ω متغیر اســـت. در همین بـازهٔ تغییرات مقـاومتی، ولتـاژ کنترلی از 287mv تا 646mv تغییر می‌کند. همچنین، نتایج شبیه‌سـازی مقاومت دیده‌شده از شاخهٔ سری تضعیف‌کننده برحسب ولتاژ کنترلی (V_{shunt}) در شکل (٥) نشان داده شده است.



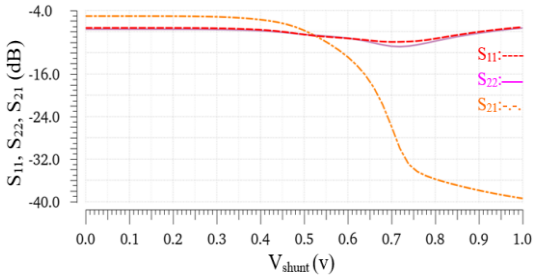
شکل (٤): نمودار مقدار مقاومت دیده‌شده از شاخهٔ موازی برحسب ولتاژ کنترلی (V_{shunt}=287mv-646mv)



شکل (٥): نمودار مقاومت دیده‌شده (24Ω-790Ω) از شاخهٔ سری برحسب ولتاژ کنترلی (V_{shunt}=0-778mv)

همان‌طور که بیان شـد (رابطهٔ ٥)، برای تضـعیف 1dB تا 30dB، مقدار مقاومت ســـری(R_2) باید بین 6Ω تا 790Ω تغییر کنـد. هنگـامی کـه ولتـاژ کنترلی از 0 تـا778mv تغییر می‌کند، مقاومت سری از 27Ω تا 790Ω تغییر می‌کند.

بـه منظور بـه دســـت آوردن میزان تضـــعیف از تحلیل پارامترهای پراکندگی اســـتفاده می‌شـــود. نمودار پارامتر S_{21} برحسـب ولتاژ کنترلی، نشـان‌دهندهٔ میزان تضـعیف سـیگنال اسـت. شـکل (٦) نمودار پارامترهای S برحسـب ولتاژ کنترلی را در فرکانس 10GHz نشان می‌دهد.

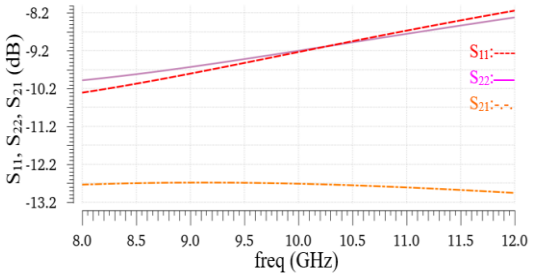


شکل (٦): نمودار پارامترهای S برحسب ولتاژ کنترلی (V_{shunt}=0-1v) در فرکانس 10GHz

طبق نمودار S_{21} ، برحســب ولتاژ کنترلی در شـکل (٦)، مقدار تضـعیف سـیگنال در حدود 34.32dB اسـت. حداقل میزان تضـــعیف نیز در این نمودار 5.05dB اســـت کـه نشان‌دهندهٔ افت عبوری (IL) مدار است.

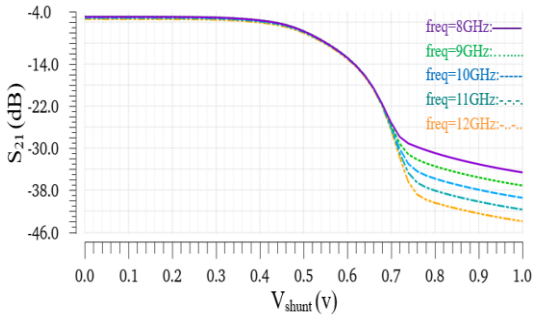
برای اسـتفاده از تضـعیف‌کننده، می‌توان در منحنی S_{21} از قسـمتی از نمودار استفاده کرد که شیبی مناسب دارد. بر همین اسـاس، می‌توان از بازهٔ 539mv-1v ولتاژ کنترلی استفاده کرد که برحسب آن مقدار تضعیف از 9.37dB تا 39.37dB متغیر اسـت. میزان تلفات برگشـتی (RL) در ورودی و خروجی نیز در بدترین حالت به ترتیب 7.12dB و 7.29dB است.

حـداکثر ریپـل قـابـل قبول برای S_{21} و S_{12} در کـل بـازهٔ فرکانسـی 8GHz تا 12GHz کمتر از 1dB اسـت. چنانچه از شـکل (٧) مشـخص اسـت، حداکثر تغییراتS_{21} و S_{12} در کل بازهٔ فرکانســـی 8GHz تا 12GHz حدود 0.2dB اســـت که نشان‌دهندهٔ عملکرد مناسب مدار طراحی‌شده است.



شکل (۷): پارامترهای S برحسب فرکانس

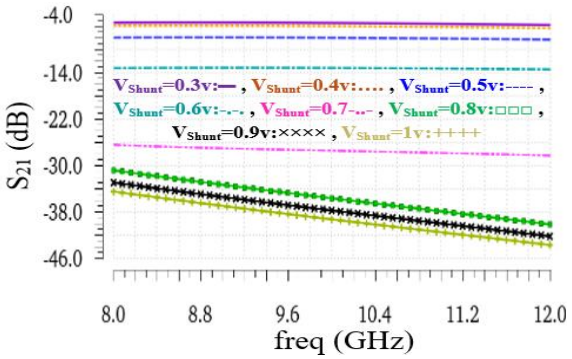
در ادامه، پارامترهایS در فرکانس‌های دیگر باند X نیز بررسی می‌شوند. شکل (۸) مقادیر S_{21} برحسب ولتاژ کنترلی را در فرکانس‌های مختلف از بازهٔ یادشده نشان می‌دهد. همان‌طور که مشاهده می‌شود، به‌ازای فرکانس 8GHz، کمترین میزان تضعیف (29.56dB) در این بازهٔ فرکانسی اعمال می‌شود. به‌مرور، به‌ازای فرکانس‌های بالاتر، تضعیف نیز بیشتر می‌شود. برای مثال، برای فرکانس 12GHz، مقدار تضعیف به 38.43dB می‌رسد. حداقل میزان تضعیف نیز حدود 4.99dB برای فرکانس 8GHz است. برای فرکانس‌های بالاتر، افت عبوری نیز کمی بیشتر می‌شود. برای مثال، در فرکانس 12GHz، این مقدار به 5.41dB می‌رسد.



شکل (۸): نمودار S_{21} برحسب ولتاژ کنترلی به‌ازای فرکانس‌های مختلف

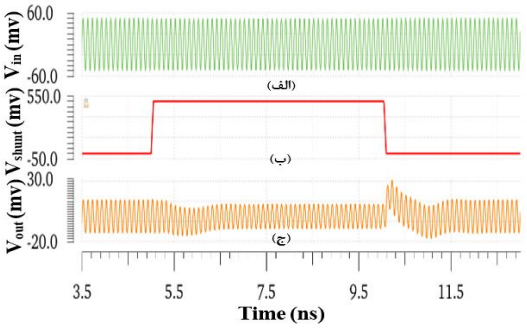
شکل (۹) مقادیر S_{21} برحسب فرکانس به‌ازای مقادیر مختلف ولتاژ کنترلی از 0.3v تا 1v را نشان می‌دهد. به‌ازای ولتاژهای کنترلی 0.7v به بالا، نمودار S_{21} از حالت صاف خارج شده است.

میزان سرعت (تأخیر) تضعیف‌کننده با استفاده از تحلیل حالت گذرا مشخص می‌شود. در این قسمت، ولتاژ کنترلی به صورت یک پالس (از 0 تا 500mv) با تأخیر 5ns اعمال می‌شود.



شکل (۹): S_{21} برحسب فرکانس به‌ازای ولتاژ کنترلی‌های مختلف از 0.3v تا 1v

شکل (۱۰) نمودار ولتاژهای ورودی (الف)، کنترلی (ب) و خروجی (ج) تضعیف‌کننده را برحسب زمان نشان می‌دهد. در نمودار (ب)، به هنگام صعود پالس (در زمان 5ns) که نشان‌دهندهٔ فرمان تضعیف حداکثری سیگنال است، سیگنال خروجی به کمترین مقدار خود می‌رسد و به هنگام سقوط پالس که نشان‌دهندهٔ فرمان توقف تضعیف سیگنال است، سیگنال خروجی به حالت اولیهٔ خود می‌رسد. طبق شکل (۱۰)، حداکثر میزان تأخیر تضعیف‌کننده برای روشن‌شدن تقریباً 1ns و برای خاموش‌شدن نیز تقریباً 1.5ns است.

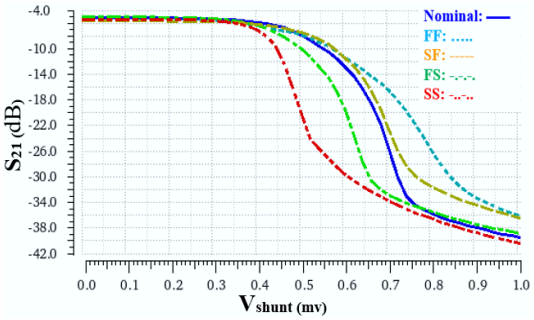


شکل (۱۰): نمودار زمانی ولتاژهای الف) ورودی، ب) کنترلی و ج) خروجی هنگام تغییر ولتاژ کنترلی از 0 به 500mv و برعکس

برای بررسی بدترین شرایط برای مدار پیشنهادی، پارامتر S_{21} برحسب ولتاژ کنترلی در ۵ گوشهٔ مختلف و در دمای +27°C شبیه‌سازی شده است. شکل (۱۱) نتیجهٔ تحلیل گوشه برای پارامتر S_{21} برحسب ولتاژ کنترلی را در دمای +27°C نشان می‌دهد. طبق این شکل، مقدار تضعیف در

گوشه‌های مختلف نسبت به حالت معمول، ±2dB اختلاف دارد که عددی قابل قبول است. در نمودارهای این شکل، میزان تضعیف در همهٔ نمودارها بیش از 30dB است.

کمترین میزان تضعیف مربوط به حالت SF، با مقداری حدود 30.77dB است. همچنین، بیشترین مقدار تضعیف مربوط به حالت SS است که تضعیفی حدود 34.92dB ایجاد شده است.

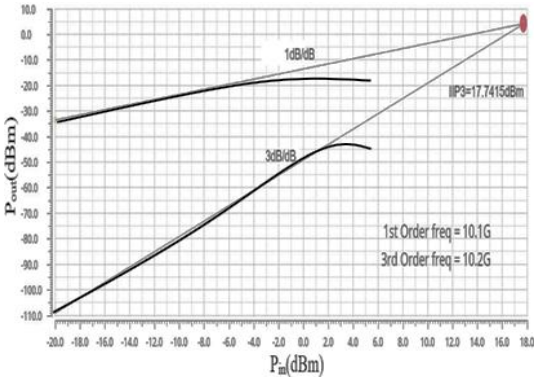


شکل (۱۱): تحلیل گوشه برای پارامتر S_{21} برحسب ولتاژ کنترلی در دمای +27°C و فرکانس 10GHz

شکل (۱۲) منحنی توان خروجی مؤلفهٔ اصلی و مؤلفهٔ انترمدولاسیون مرتبهٔ ۳ را برحسب توان ورودی برای محاسبهٔ IIP3 در یک شبیه‌سازی تست دو تُن با تفاوت فرکانسی 100MHz در فرکانس مرکزی 10.05GHz نشان می‌دهد. طبق شکل، مقدار IIP3 برابر 17.74dBm شده است.

جدول (۱) پارامترهای اصلی تضعیف‌کنندهٔ پیشنهادی را با مقاله‌های مرتبط دیگر و تراشهٔ تضعیف‌کنندهٔ HMC346ALP3E از شرکت Analog Devices مقایسه کرده است. هرچند پارامترهای مقاله‌های دیگر قالباً نتایج اندازه‌گیری هستند، تا حدودی می‌توانند مبین برخی از مزایای طرح پیشنهادی باشند.

چنانچه ملاحظه می‌شود، مصرف توان مدار پیشنهادی در مقایسه با بقیه نسبتاً کم است. همچنین، مدار پیشنهادی دارای گسترهٔ دینامیکی قابل قبولی است. تطبیق امپدانس مدار پیشنهادی نسبت به بقیه مناسب نیست، ولی همچنان قابل قبول است. با توجه به اینکه یکی از اهداف مدار پیشنهادی استفاده از آن در اجرای بخش STC در یک رادار برد کوتاه است، سرعت پاسخ مدار یا زمان گذار مدار باید بررسی شود. زمان گذار مدار پیشنهادی برابر 1.5 ns است که آن را برای اجرای STC در رادارهای برد کوتاه (زیر ۳۰۰ متر) مناسب می‌کند. متأسفانه، زمان گذار در دیگر مقاله‌ها گزارش نشده است.



شکل (۱۲): نمودار توان‌های خروجی مؤلفهٔ اصلی و مؤلفهٔ انترمدولاسیون مرتبهٔ ۳ برحسب توان ورودی برای محاسبهٔ IIP3

۳-۲- طراحی STC و نتایج شبیه‌سازی آن

با اعمال ولتاژ کنترلی خارجی به تضعیف‌کننده می‌توان سیگنال واردشده به آن را تضعیف کرد. اکنون، باید مداری ارائه شود که ولتاژ کنترلی را برای اعمال به تضعیف‌کننده بسازد؛ به طوری که میزان تضعیف مدار متناسب با $\frac{1}{R^4}$ باشد. این میزان تضعیف را می‌توان متناسب با زمان نیز به دست آورد. بر همین اساس، ابتدا باید رابطهٔ بین فاصله و زمان در رادارها و STC مشخص شود. سپس، با توجه به این رابطه، می‌توان رابطهٔ محاسبهٔ میزان تضعیف برحسب زمان در STCها را به دست آورد.

با توجه به اینکه تأخیر 1µs در سیگنال برگشتی رادار نسبت به سیگنال فرستنده معادل 150m است، می‌توان رابطهٔ فاصله (R) و زمان ($t_{(ns)}$) را در رادار و STC مطابق رابطهٔ (۶) به دست آورد.

جدول (۱): مقایسهٔ مدار پیشنهادی با کارهای مشابه	Technology	Frequency Band	Insertion Loss (dB)	S_{11} / S_{22} (dB)	P_D (mw)	DR (dB)	Att.Step (dB)	IIP3 (dBm)	Transient Time
This Work	65nm CMOS	X-band	5	-7	5.5	34	0.5	17.74	1.5ns
[13]	130nm SiGe BiCMOS	DC–20 GHz	7.4	-15	20	31.5	0.5	25	N.A.
[14]	55nm	DC–28 GHz	6.6	-12	N.A.	15.9	0.125	N.A	N.A.
[15]	120nm	10–50 GHz	1.5@10GHz	-9	<1	11	0.9	~15	N.A.
[16]	65nm CMOS	X-band	1	-11	170	31.5	0.5	N.A	N.A.
HMC346ALP3E	N.A.	DC-14GHz	2.6	10	N.A.	30	N.A.	+10	N.A.

$$\frac{1\mu}{t}=\frac{150m}{R}\rightarrow R=\frac{150t}{1\mu}=\frac{150m}{1\mu}\times 10^{-9}t_{(ns)} \quad (۶)$$

با توجه به رابطهٔ (۶)، می‌توان رابطهٔ تضعیف (att) (به صورت عددی و دسی بل) با زمان را به دست آورد (رابطهٔ ۷):

$$\begin{aligned} &att \propto \frac{1}{R^4}\rightarrow att=\frac{K}{R^4}\\ &att_{(dB)}=10Log(K)-40Log(R),\\ &K'=10Log(K)\\ &att_{(dB)}=K'-40Log(\frac{150m}{1\mu}\times 10^{-9}t_{(ns)})\\ &att_{(dB)}=\underbrace{K'-40Log(\frac{150m}{1\mu}\times 10^{-9})}_{K''}-40Log(t_{(ns)}) \end{aligned} \quad (۷)$$

طبق رابطهٔ (۸)، می‌توان میزان تضعیف را به صورت دسی بل برحسب زمان به دست آورد:

$$att_{(dB)}=K''-40Log(t_{(ns)}),\ K''=(\text{عدد ثابت}) \quad (۸)$$

در رابطهٔ (۸)، مقدار K'' با توجه به حداقل تضعیف ممکن تعیین می‌شود. برای مثال، در این مقاله، حداقل تضعیف ممکن 5.05dB است که سعی شده این میزان تضعیف در زمان t=500ns به دست آید تا آن را برای رادارهای برد کوتاه مناسب کند. پس، می‌توان K'' را مطابق رابطهٔ (۹) به دست آورد. همچنین، رابطهٔ میزان تضعیف برحسب زمان استفاده‌شده در این مقاله طبق رابطهٔ (۱۰) بیان می‌شود:

$$5.05dB=K''-40Log500\rightarrow K''=113 \quad (۹)$$

$$att_{(dB)}=113-40Log(t_{(ns)}) \quad (۱۰)$$

اکنون، با توجه به رابطهٔ (۱۰)، می‌توان مقدار تضعیف را در زمان‌های مختلف از زمان0 تا 500ns با گام 10ns به دست آورد. سپس، با توجه به نمودار S_{21} برحسب ولتاژ کنترلی (شکل ۶)، می‌توان ولتاژهای کنترلی نظیر این مقادیر تضعیف را به دست آورد. حال، باید به کمک یک مدار، ولتاژهای کنترلی لازم برای اعمال به تضعیف‌کننده را تولید کرد؛ به طوری که مقادیر تضعیف به‌دست‌آمده از مدار تضعیف‌کننده برحسب زمان مشابه مقادیر تضعیف در رابطهٔ (۱۰) باشد. برای این کار، می‌توان از انواع مبدل دیجیتال به آنالوگ موجود از جمله R-2R، منابع جریان، خازن‌های سوییچ‌شده، دلتا–سیگما و ... استفاده کرد. از میان ساختارهای یادشده، به دلیل سادگی، از ساختار نردبانی R-2R استفاده شده است.

با توجه به اعمال STC در زمان 500ns، در صورت انتخاب یک مبدل ۵بیتی، گام‌های زمانی برابر 15.5ns می‌شوند. با اعمال بیت (پالس)های مناسب به مبدل، می‌توان ولتاژ کنترلی آنالوگ را برای اعمال به تضعیف‌کننده ساخت. این مبدل ۵بیتی $2^5=32$ حالت مختلف ایجاد می‌کند. فرکانس این مبدل 100MHz انتخاب شده است؛ در نتیجه، گام‌های اعمال بیت‌های کنترلی STC تا 10ns قابل کاهش هستند. از طرف دیگر، با توجه به پاسخ فرکانسی محدود DAC، انتظار می‌رود خروجی آن از حالت پله‌ای به یک منحنی نسبتاً پیوسته تبدیل می‌شود.

شکل (۱۳) مدار این مبدل دیجیتال به آنالوگ را نشان می‌دهد. در این شکل، بیت‌های b_0 تا b_4 یک کلمهٔ کنترلی را ساخته‌اند که با اعمال به آپ امپ، می‌تواند ولتاژ کنترلی

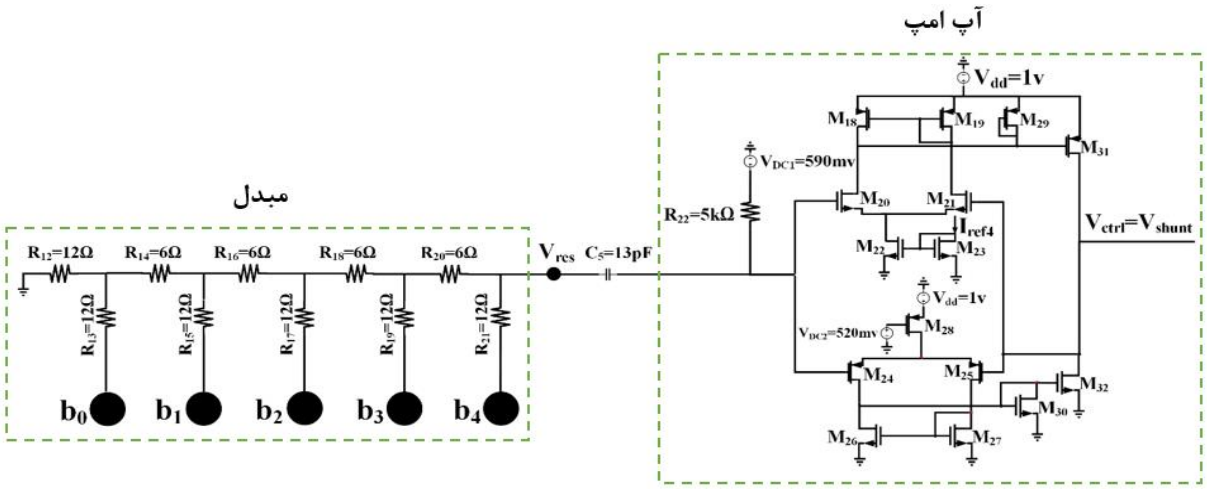
مناسب برای اعمال به تضعیف‌کننده را ایجاد کند. همان‌طور که مشخص است، مقدار مقاومت‌ها به صورت R=6Ω و 2R=12Ω است. خروجی مقاومت‌های R-2R به یک خازن مسدودکنندهٔ مسیر DC (خازن C_5) و سپس آپ امپ متصل است. ثابت زمانی ناشی از این خازن و مقاومت معادل دو سر آن به گونه‌ای انتخاب شده است که برای پالس ساعت 100MHz اعمالی به DAC و همچنین، زمان ۵۰۰ نانوثانیه‌ای بین حداکثر و حداقل تضعیف در STC مناسب باشد. این زمان برای کاربردهای راداری با برد زیر ۳۰۰ متر و با زمان تکرار پالس (PRT) کمتر از 2µs ضروری است.

آپ امپ استفاده‌شده دارای نقش بافر ولتاژ ورودی است و برای داشتن سوئینگ خروجی از حدود صفر تا نزدیک V_{dd}=1v از نوع ریل به ریل انتخاب شده است و پاسخ فرکانسی آن کمی کمتر از 100MHz است تا بتواند با تغییر کلمهٔ کنترلی ورودی با زمان پالس 10ns، خروجی نسبتاً پیوسته‌ای ایجاد کند. طبقهٔ اول این آپ امپ از ترانزیستورهای M_{18}-M_{23} و M_{24}-M_{28} به صورت مکمل تشکیل شده است. طبقهٔ دوم نیز شامل ترانزیستورهای M_{31} و M_{32} می‌شود. ترانزیستورهای M_{29} و M_{30} نیز نقش مقاومت را دارند و وظیفهٔ آنها کاهش امپدانس در گیت‌های ترانزیستورهای خروجی و جبران پاسخ فرکانسی و همچنین تأمین بایاس است[۱۷]. از خروجی این آپ امپ، مطابق شکل، همان ولتاژ کنترلی یا V_{shunt} برای اعمال به تضعیف‌کننده گرفته می‌شود. از منبع ولتاژ V_{DC1}=590mv برای بایاس ترانزیستورهای آپ امپ استفاده شده است.

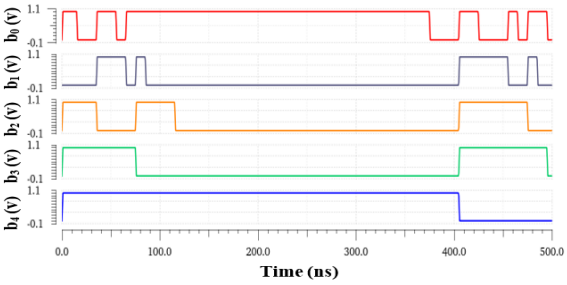
در شکل (۱٤)، بیت‌های b_0 تا b_4 با منابع پالسی ورودی شبیه‌سازی می‌شوند. انتظار می‌رود خروجی شبکهٔ R-2R به دلیل خازن نسبتاً کم در گره V حالت گسسته داشته باشد. همچنین، انتظار می‌رود خروجی آپ امپ دارای تغییرات از 0v تا باشد، ولی تغییرات آن به دلیل پاسخ محدود آپ امپ نسبتاً پیوسته باشد. برای داشتن یک تضعیف متناسب با فاصله و شبیه‌سازی عملکرد یک STC، لازم است ابتدا ولتاژهای کنترلی نظیر مقادیر تضعیف به‌دست‌آمده از نمودار S_{21} برحسب ولتاژ کنترلی در شکل (٦) به دست آیند و سپس، با توجه به مشخصهٔ ولتاژ خروجی آپ امپ در شکل (۱۳)، بیت‌های ورودی نظیر به دست آیند.

پس از اعمال ولتاژ کنترلی ساخته‌شده از مبدل به تضعیف‌کننده، با اندازه‌گیری دامنه‌های ورودی و خروجی، می‌توان مقدار تضعیف برحسب زمان را به دست آورد. شکل (۱۵) مقدار تضعیف مورد نیاز برحسب زمان را در دو حالت ایده‌آل (رابطهٔ ۱۰) و نتایج شبیه‌سازی‌شده نشان می‌دهد.

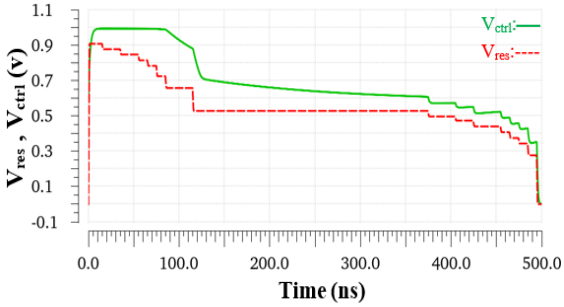
هرچه نمودار به‌دست‌آمده از مدار به نمودار حاصل از رابطهٔ STC نزدیک‌تر باشد، نتایج شبیه‌سازی دقیق‌تر خواهد بود. در نمودار شکل (۱۵)، مقدار تضعیف به‌دست‌آمده از مدار شبیه‌سازی‌شده در همهٔ زمان‌ها نزدیک به رابطهٔ STC است. همچنین، چنانچه در شکل (۱۰) نیز نشان داده شد، با تغییر کلمهٔ کنترلی ورودی (نظیر پالس‌های b_0 تا b_4)، مقدار تضعیف به‌سرعت تغییر می‌کند که نشان‌دهندهٔ سرعت زیاد مدار است.



شکل (۱۳): مدار مبدل دیجیتال به آنالوگ نردبانی R-2R ٥بیتی طراحی‌شده

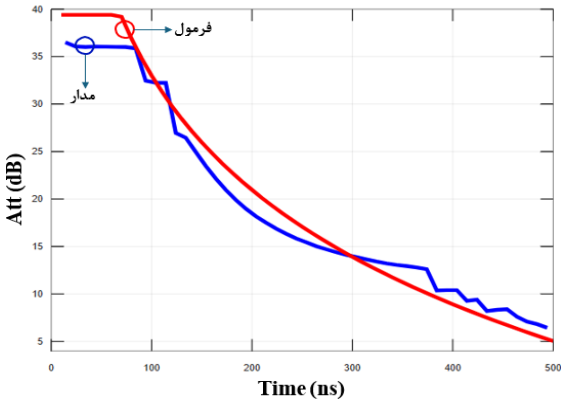


(الف)



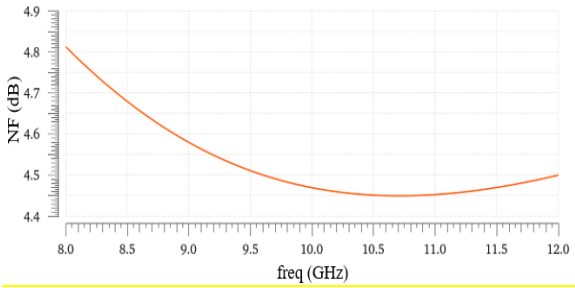
(ب)

شکل (۱۴): الف) نمودار پالس‌های ورودی و ب) نمودار خروجی DAC (V_{res}) و خروجی آپ امپ (V_{ctrl}) مبدل دیجیتال به آنالوگ برحسب زمان



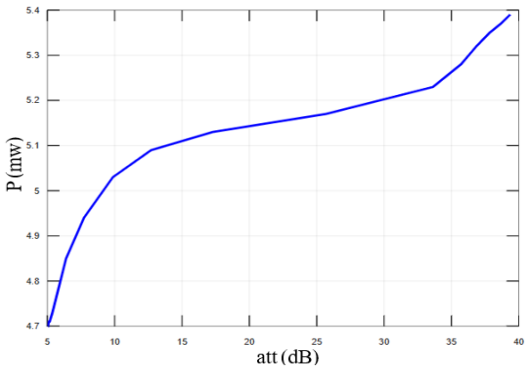
شکل (۱۵): نمودار مقدار تضعیف برحسب زمان طبق رابطهٔ STC (رابطهٔ ۱۰) و نتایج مدار شبیه‌سازی‌شده

همچنین، شکل (۱۵) نمودار *NF* برحسب فرکانس در بازهٔ 8GHz تا 12GHz بر اساس ولتاژ کنترلی V_{shunt}=0.1v را نشان می‌دهد. این مقدار ولتاژ کنترلی معادل کمترین میزان تضعیف و شناسایی اهداف دور است که در این حالت، مقدار NF در فرکانس 10GHz برابر 4.47dB است. با توجه به اینکه مدار پیشنهادی دارای S_{11} و S_{22} نسبتاً کمی در کل باند فرکانسی مدنظر است، تضعیف‌کننده دارای تطبیق امپدانس نسبتاً مناسب در ورودی و خروجی است؛ در نتیجه، عدد نویز مدار پیشنهادی برابر میزان تضعیف آن است که با آنچه در شکل (۱۶) نشان داده شد، تطابق دارد.



شکل (۱۶): نمودار NF برحسب فرکانس به‌ازای V_{shunt}=0.1v

مصرف توان این مدار بر اساس میزان تضعیف در شکل (۱۷) نشان داده شده است. در تضعیف att=5.05dB، توان مصرفی مدار در حدود 4.70mw است. در تضعیف میانی att=19.68dB و تضعیف حداکثری att=39.37dB، مقدار توان مصرفی به ترتیب 5.14mw و 5.39mw است. ملاحظه می‌شود، با افزایش تضعیف، مقدار توان مصرفی مختصری افزایش می‌یابد.



شکل (۱۷): نمودار مقدار توان مصرفی برحسب میزان تضعیف

۴- نتیجه‌گیری

در این پژوهش، به منظور اجرای STC، از یک مدار تضعیف‌کننده و یک مبدل دیجیتال به آنالوگ نردبانی R-2R استفاده شده است. در مدار تضعیف‌کننده، از تکنیک سلف‌های موازی برای خنثی‌سازی اثر خازن‌های پارازیتی استفاده شده است. مدار تضعیف‌کننده دارای گسترهٔ دینامیکی

34dB اســـت. میزان افت عبوری و بیشـــترین مقدار تلفات برگشتی این مدار نیز به ترتیب در حدود 5dB و 7dB است. مبدل دیجیتال بـه آنالوگ نیز ۵بیتی و فرکانس نمونه‌برداری 100MHz در نظر گرفته شده است. فرکانس نمونه‌برداری به گونه‌ای انتخاب شـده اسـت که با دقتی قابل قبول بتواند ولتاژ کنترلی آنالوگ مورد نیاز برای اعمال به تضعیف‌کننده را تولید کند. مدار STC با ســـرعت و دقتی زیاد می‌تولند ســـیگنال دریافتی را متناسب با زمان یا فاصله تضعیف کند. مدار STC همچنین قادر اســـت بیش از 30dB تضـــعیف در مدت زمان 500ns روی ســـیگنال اعمال کند که عددی قابل ملاحظه اسـت. طبق تحلیل نویز نیز مقدار NF در فرکانس 10GHz و در کمترین میزان تضـــعیف که معادل شـــناســـایی اهداف دور اســـت، برابر 4.7dB اســـت. توان مصـــرفی مدار نیز با افزایش میزان تضـــعیف، کمی افزایش پیدا می‌کند؛ به طوری که این عدد در بیشـــترین میزان تضـــعیف در نهایت به 5.39mw می‌رســـد. از ویژگی‌های مدار طراحی‌شـــده برای اســـتفاده در کاربردهای راداری که آن را نسبت به سایر تراشه‌ها و مدارها متمـایز می‌کنـد، می‌توان بـه بـالابودن فرکـانس آن، گســـترهٔ تضـــعیف مناســـب، مصـــرف توان کم و اعمال تضـــعیف روی سـیگنال متناسـب با $\frac{1}{R^4}$ اشـاره کرد. هدف از طراحی این مدار رسیدن از حداکثر میزان تضعیف به حداقل میزان تضعیف در مدت زمان 500ns بوده اسـت. نتایج شـبیه‌سـازی (شـکل‌های ۱۰ و ۱۵) نشـان‌دهندهٔ سـرعت زیاد مدار در تضـعیف سـیگنال ورودی است.

مراجع

[1] M. I. Skolnik, “Introduction to Radar Systems, 3rd ed.”, New York, NY, USA: McGraw-Hill, 2001.
https://books.google.com/books?id=Y6-APwAACAAJ

[2] Y. F. Liu, J. D. Suo, X. M. Liu, B. Li, “Adaptive radar sensitivity time control based on linear prediction sea clutter”, Appl. Mech. Mater., Vol. 701, pp. 279–282, 2015. https://doi.org/10.4028/www.scientific.net/AMM.701-702.279

[3] X. Miao, X. Wang, “Design of RF attenuator based on PIN diode”, in Proc. Int. Conf. Advanced Materials Science and Environmental Engineering, pp. 289–290, Apr. 2016.
https://doi.org/10.2991/amsee-16.2016.76

[4] H. Dogan, R. G. Meyer, A. M. Niknejad, “Analysis and design of RF CMOS attenuators”, IEEE J. Solid-State Circuits, Vol. 43, No. 10, pp. 2269–2283, Oct. 2008.
https://doi.org/10.1109/JSSC.2008.2004325

[5] Lv, J. Wen, L. Wang, Q. Zhang, Y. Wang, “DC–110-GHz continuous variable attenuator based on 65-nm CMOS process”, in Proc. IEEE Int.Electrical Design of Advanced Packaging and Systems Symposium (EDAPS), Dec. 2017.
https://doi.org/10.1109/EDAPS.2017.8277052

[6] I. L. Abdalla, A. Allam, R. Pokharel, H. Jia, “A DC–2.5-GHz voltage variable attenuator in 0.18-µm CMOS technology”, in Proc. IEEE Asia Pacific Conf. Circuits and Systems (APCCAS), pp. 352–355, Nov. 2014.
https://doi.org/10.1109/APCCAS.2014.7032792

[7] Y. Y. Huang, W. Woo, Y. Yoon, C. H. Lee, “Highly linear RF CMOS variable attenuators with adaptive body biasing”, IEEE J. Solid-State Circuits, Vol. 46, No. 5, pp. 1023–1033, May 2011.
https://doi.org/10.1109/JSSC.2011.2117530

[8] B. H. Ku, S. Hong, “6-bit CMOS digital attenuators with low phase variations for X-band phased-array systems”, IEEE Trans. Microw. Theory Techn., Vol. 58, No. 7, pp. 1651–1663, Jun. 2010. https://doi.org/10.1109/TMTT.2010.2049691

[9] A. Tomkins, P. Garcia, S. Voinigescu, “A 94-GHz SPST switch in 65-nm bulk CMOS”, in Proc. IEEE Compound Semiconductor Integrated Circuit Symp. (CSICS), Monterey, CA, USA, pp. 139–142, Oct. 2008. https://doi.org/10.1109/CSICS.2008.34

[10] R. Kaunisto, P. Korpi, J. Kiraly, K. Halonen, “A linear control wide-band CMOS attenuator”, in Proc. IEEE Int. Symp. Circuits and Systems (ISCAS), Vol. 4, pp. 458–461, 2001.
https://doi.org/10.1109/ISCAS.2001.922272

[11] Y. Araki, T. Hashimoto, S. Otaka, “A 0.13-µm CMOS 90-dB variable-gain pre-power amplifier using robust linear-in-dB attenuator”, in Proc. IEEE RFIC Symp., pp. 673–676, Jun. 2008.
https://doi.org/10.1109/RFIC.2008.4561527

[12] M. Hazraty Kalbibaki, S. V. Mir-Moghtadaei, “Analysis and design of a voltage-controlled attenuator in L-band using 180-nm CMOS technology”, in Proc. 8th Int. Conf. Technology Development, pp. 1–7, Jul. 2023.
https://civilica.com/doc/1766910

[13] I. Song, M.-K. Cho, J. D. Cressler, “Design and analysis of a low-loss, wideband digital step attenuator with minimized amplitude and

phase variations", IEEE J. Solid-State Circuits, Vol. 53, No. 8, pp. 2202–2213, Aug. 2018. https://doi.org/10.1109/JSSC.2018.2827934

[14] N. Li, Z. Zhang, M. Li, H. Gao, Sh. Wang, Ch. Song, Zh. Xu, "A DC–28-GHz 7-bit high-accuracy digital-step attenuator in 55-nm CMOS", IEEE Microw. Wireless Compon. Lett., Vol. 32, No. 2, pp. 157–160, Mar. 2022. https://doi.org/10.1109/LMWC.2021.3120934

[15] B.-W. Min, G. M. Rebeiz, "A 10–50-GHz CMOS distributed step attenuator with low loss and low phase imbalance", IEEE J. Solid-State Circuits, Vol. 42, No. 11, pp. 2547–2554, Nov. 2007. https://doi.org/10.1109/JSSC.2007.907205

[16] V. V. Nguyen, H. Nam, Y. J. Choe, B.-H. Lee, J.-D. Park, "An X-band bi-directional transmit/receive module for a phased-array system in 65-nm CMOS", Sensors, Vol. 18, No. 8, Aug. 2018. https://doi.org/10.3390/s18082569

[17] A. Nosratinia, M. Ahmadi, G. A. Jullien, M. Shridhar, "High-drive CMOS buffer for large capacitive loads", Electron. Lett., Vol. 27, No. 12, pp. 1044–1046, Jun. 1991. https://doi.org/10.1049/el:19910649

---

[1] Sensitivity Time Control

[2] clutter

پژواک‌های نامطلوب که بر اثر عواملی مانند زمین، دریا، باران، اجسام ساکن، پوشال، جنگ الکترونیکی و ... روی صفحهٔ رادار ظاهر می‌شوند.

[3] replica

[4] Variable Voltage Attenuator

[5] phased-array radars

[6] Automatic Gain Control