



Computational Intelligence in Electrical Engineering  
Vol. 11, No. 3, 2020  
Research Paper

## Design and optimization of an Approximate Full-adder Based on CNTFETs and its application in image processing

Mohammad Reza Reshadinezhad<sup>1</sup>, Seyed Erfan Fatemieh<sup>2</sup>, Zahra Davari Shalamzari<sup>3</sup>

1, 2, 3 Faculty of Computer Engineering, University of Isfahan, Isfahan, Iran

### Abstract:

Novel digital circuit design methods are vital due to the significant increase in data that requires fast processors. No doubt, power consumption is an essential factor in electronic devices. Hence, the design of low-power, area-efficient, and high-performance circuits is crucial. Approximate computing as a promising method for designing efficient circuits in addition to applying CNTFETs can be an excellent solution for the concerns mentioned above. In this article, according to the full adder's importance in DSP processors, a new approximate full adder based on 32nm Stanford CNTFET model is proposed and optimized in terms of power consumption, delay, PDP, and the number of transistors. HSPICE is applied to compare this new design with state-of-art articles. The simulation results indicate that the proposed design has not only the least delay but also shows an 87% improvement in PDP achieved. Various simulations applying different load capacitors, supply voltages, and process variations demonstrate the acceptable functionality of proposed approximate full-adder in different situations. Image addition simulation using MATLAB is applied to assess the performance of the proposed design in a real error-resilient application.

**Keywords:** Approximate Computing, Carbon Nanotube Field Effect Transistors (CNTFETs), Full-adder, Power Consumption.



2252-083X/ © 2020 The Authors. Published by University of Isfahan  
This is an open access article under the CC BY-NC-ND/4.0/ License (<https://creativecommons.org/licenses/by-nc-nd/4.0/>).

<http://dx.doi.org/10.22108/isee.2020.120390.1313>

## طراحی و بهینه‌سازی یک تمام جمع‌کننده تقریبی مبتنی بر ترانزیستورهای نانولوله کربنی و

## بررسی کاربرد آن در پردازش تصویر دیجیتال

محمد رضا رشادی نژاد<sup>۱\*</sup>، سید عرفان فاطمیه<sup>۲</sup>، زهرا داوری شلمزاری<sup>۳</sup>

۱، ۲ و ۳ - گروه معماری کامپیوتر، دانشکده مهندسی کامپیوتر - دانشگاه اصفهان - اصفهان - ایران

m.reshadinezhad@eng.ui.ac.ir, erfanfatemieh@eng.ui.ac.ir, zahradavari1996@eng.ui.ac.ir

**چکیده:** با توجه به افزایش چشمگیر حجم داده‌های پردازشی و نیاز به سرعت بیشتر در پردازش آنها، به استفاده از روش‌های نوین در طراحی مدارهای دیجیتال توجه شده است. نظر به اهمیت مصرف توان در وسایل الکترونیکی، طراحی مدارهایی ضروری است که به کاهش مصرف توان، مساحت و نیز افزایش سرعت پردازنده‌ها منجر شود. استفاده از محاسبات تقریبی در کنار ترانزیستورهای نانولوله کربنی، یکی از روش‌های مطرح شده در این حوزه است. با توجه به اهمیت مدارهای جمع‌کننده در پردازنده‌های پردازش سیگنال دیجیتال، در این مقاله یک مدار تمام جمع‌کننده تقریبی با استفاده از ترانزیستورهای CNTFET مدل استنفورد ۳۲ نانومتر طراحی شده که از نظر پارامترهای توان، تأخیر، حاصل ضرب توان در تأخیر و تعداد ترانزیستورها بهینه‌سازی شده است. مقایسه این مدار با مدارهای پیشنهاد شده در سال‌های اخیر با استفاده از نرم‌افزار HSPICE انجام شده است. نتایج نشان دادند تأخیر طرح پیشنهادی دارای کمترین مقدار با بهبود حداکثر ۸۷٪ در معیار حاصل ضرب توان در تأخیر است. همچنین نتایج شبیه‌سازی در خازن‌های بار، ولتاژهای تغذیه و تغییرات فرآیندی نشان‌دهنده عملکرد پذیرفتنی طرح پیشنهادی در شرایط گوناگون است. برای بررسی بهتر عملکرد تمام جمع‌کننده پیشنهادی از کاربرد پردازشی مقاوم به خطای جمع تصاویر در نرم‌افزار متلب استفاده شده است.

**واژه‌های کلیدی:** ترانزیستورهای نانولوله کربنی، تمام جمع‌کننده، توان مصرفی، حساب تقریبی.

## ۱- مقدمه

گسترده از وسایل الکترونیکی مبتنی بر باتری، اهمیت توان مصرفی را دو چندان کرده است؛ در نتیجه این موضوع، دنیای دیجیتال نیازمند پردازنده‌هایی با قدرت و سرعت پردازشی بالاست که توان مصرفی کمی داشته باشند.

افزایش فرکانس کاری پردازنده‌ها تا حدودی پاسخگوی نیاز پردازشی کاربردهای فعلی است؛ اما این امر به افزایش توان مصرفی مدار نیز منجر می‌شود [1]. استفاده از تکنیک‌هایی چون کاهش ولتاژ کاری، فرکانس سویچینگ و ... راه‌حلی برای کاهش توان مصرفی است [1, 2]. هر یک از این تکنیک‌ها به ایجاد مشکلاتی از قبیل افزایش جریان‌های نشتی، خازن‌های پارازیتی و ... منجر می‌شود [1, 2]. همچنین تمایل به کوچک‌سازی ترانزیستورهای سیلیکونی در حد نانومتر، مشکلاتی از قبیل اثرات کانال کوتاه، کاهش کنترل گیت، افزایش نمایی جریان‌های نشتی، توان مصرفی و ... را به دنبال داشته است [3-5]؛ به همین دلیل، پژوهشگران این حوزه به دنبال یافتن

در دنیای دیجیتال امروز، نیاز به پردازش‌های پیچیده‌تر و حجیم‌تر رو به افزایش است. بدیهی است این امر باعث افزایش زمان پردازش داده‌ها و توان مصرفی سیستم‌های پردازشی می‌شود. کاربردهایی چون پردازش سیگنال و تصویر، بینایی و یادگیری ماشین، ارتباطات بی‌سیم و ... هر روز در حال پیشرفت است و داده‌های بیشتری برای پردازش تولید می‌کنند. همچنین استفاده

<sup>۱</sup> تاریخ ارسال مقاله: ۱۳۹۸/۰۹/۲۴

تاریخ پذیرش مقاله: ۱۳۹۹/۰۱/۲۴

نام نویسنده مسئول: محمد رضا رشادی نژاد  
نشانی نویسنده مسئول: ایران - اصفهان - دانشگاه اصفهان - دانشکده مهندسی کامپیوتر - گروه معماری کامپیوتر

تقریبی از منطق متداول است؛ به نحوی که از نظر پارامترهای توان مصرفی، تأخیر و مساحت نسبت به برخی از طرح‌های ارائه شده اخیر بهینه‌سازی شده باشد. همچنین خروجی‌های کاربرد پردازش تصویر نیز از نظر معیارهای کیفیت تصاویر پذیرفتنی بوده و در طرح پیشنهادی پارامترهای دقت همچون  $ER^r$  و  $ED^f$  مقدار قابل قبولی داشته‌اند. منظور از پارامتر  $ER$  نسبت تعداد حالت‌های نادرست به تعداد کل خروجی‌هاست. مقدار پارامتر  $ED$  نیز از قدرمطلق تفاضل مقدار تقریبی از مقدار دقیق به دست می‌آید [15]. در نهایت برای بررسی بهتر عملکرد جمع‌کننده پیشنهادی، کاربرد آن در پردازش تصویر از طریق معیارهای  $PSNR^5$ ،  $SSIM^6$  و  $MSSIM^7$  ارزیابی می‌شود که از روابط (۱) تا (۳) به دست می‌آیند [11, 16]. جزئیات این روابط در [11, 16, 17] به طور کامل بررسی شده‌اند. تا به امروز، جمع‌کننده‌های تقریبی متنوعی در سطح ترانزیستور و در هر دو تکنولوژی  $CMOS$  و  $CNTFET^8$  و در سطوح بالاتر معرفی شده‌اند که برخی از آنها در ادامه بررسی می‌شوند.

$$MSSIM(x, y) = \frac{1}{M} \sum_{j=1}^M SSIM(x_j, y_j) \quad (3)$$

یکی از شاخص‌ترین پژوهش‌ها در این حیطه در مرجع [13] انجام شده است. در این مقاله، چهار تمام جمع‌کننده تقریبی در فناوری  $CMOS$  معرفی شده‌اند که برای طراحی آنها از روش بازتعریف منطق تقریبی از منطق متداول تمام جمع‌کننده دقیق آینه [18] استفاده شده است. در هر چهار طرح پیشنهادی در این مقاله، خروجی‌ها فول‌سوینگ هستند. در طرح اول این مقاله، خروجی  $Sum$  در دو حالت از هشت حالت ممکن و خروجی  $Cout$  نیز تنها در یک حالت نادرست است. در طراحی این تمام جمع‌کننده، از شانزده ترانزیستور استفاده شده و مسیر بحرانی آن شامل چهار ترانزیستور است. نکته شایان ذکر اینکه در این مدار هر دو خروجی دارای منطق معکوس‌اند و این عاملی برای افزایش تعداد ترانزیستورهاست. در طرح دوم، تنها خروجی  $Sum$  تقریبی شده و در دو حالت از هشت حالت ممکن غلط است. در مسیر بحرانی این مدار سه ترانزیستور قرار دارد و خروجی‌های آن نیز دارای منطق معکوس‌اند. هر دو خروجی طرح سوم دارای مقدار تقریبی بوده و خروجی  $Sum$  در پنج حالت و خروجی  $Cout$  در هفت حالت دقیق است. مسیر بحرانی این طرح از سه ترانزیستور تشکیل شده و

جایگزینی مناسب برای این ترانزیستورها در ابعاد کوچک‌اند. از میان جایگزین‌های معرفی شده، ترانزیستورهای نانولوله کربنی، به دلیل شباهت‌های ساختاری و رفتاری به  $CMOS^9$ ، گزینه مناسب‌تری هستند. از جمله مزایای دیگر این ترانزیستورها عبارت‌اند از: توان مصرفی و مساحت کمتر، انتقال بالستیکی، جریان در حالت خاموش بسیار کم، تحریک‌پذیری یکسان نوع  $n$  و  $p$  قابلیت تنظیم ولتاژ آستانه از طریق ابعاد نانولوله‌ها و ... [4-8].

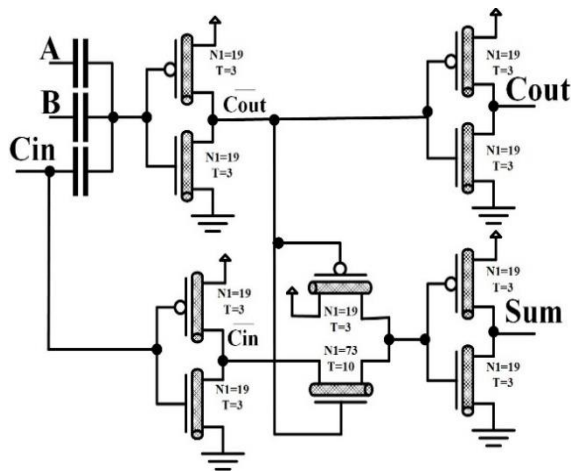
محاسبات تقریبی، روشی جدید برای کاهش مصرف توان همراه با کاهش مساحت در ازای کاهش متناسب دقت در محاسبات است [9]. برای استفاده از محاسبات تقریبی در سطح ترانزیستور روش‌های مختلفی چون  $VOS^+$ ، بازتعریف منطق تقریبی از منطق متداول و ... وجود دارد که بیشتر آنها با کاهش تعداد ترانزیستورها در مدار همراه است [10]. این امر باعث کاهش خازن‌های پارازیتی و در نتیجه آن، کاهش جریان‌های نشتی و توان سوئیچینگ می‌شود. همچنین با کوتاه‌تر شدن مسیر بحرانی مدارها کارایی و سرعت مدار افزایش می‌یابد و امکان کاهش ولتاژ تغذیه نیز فراهم می‌شود [11]. همچنین کاهش مساحت به کاهش هزینه‌های ساخت و توان استاتیک مدار منجر می‌شود [12]. با توجه به اینکه در پردازنده‌های عمومی سهم دستورالعمل‌های محاسباتی در مقایسه با دستورات مراجعه به حافظه بسیار کم است، استفاده از محاسبات تقریبی مزیت چشم‌گیری به دنبال نخواهد داشت [13]؛ اما در پردازنده‌های خاص منظوره مانند پردازنده‌های پردازش سیگنال دیجیتال، باعث بهبود محسوس عملکرد پردازنده خواهد شد [13]. به طور کلی استفاده از حساب تقریبی در کاربردهای مقاوم به خطا یک روش امیدوارکننده است [9]. منظور از کاربردهای مقاوم در برابر خطا، کاربردهایی است که ناتوانی انسان در تشخیص تفاوت میان نتیجه دقیق و تقریبی قابل لمس است یا در برابر نویز ورودی مقاوم‌اند [9]. یکی از رایج‌ترین این کاربردها پردازش تصاویر است.

عمل جمع، یکی از اصلی‌ترین اعمال محاسباتی در پردازنده‌هاست [3]. به این دلیل که امکان انجام سایر اعمال محاسباتی چون تفریق، ضرب، تقسیم، محاسبه آدرس و ... از طریق آن وجود دارد [4, 14]؛ به همین دلیل طراحی کم‌توان، کوچک، سریع و کارای این مدار تأثیر بسزایی در بهبود عملکرد پردازنده‌ها دارد. هدف از این مقاله، ارائه یک تمام جمع‌کننده تقریبی مبتنی بر ترانزیستورهای نانولوله کربنی با استفاده از تکنیک بازتعریف منطق

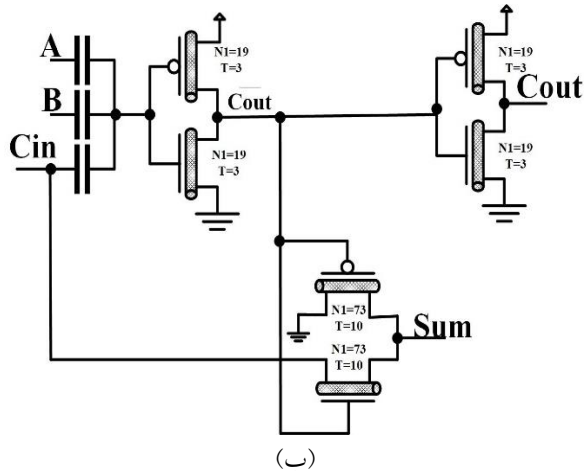
الف و ب نشان داده شده‌اند. در هر دو مدار از سه خازن برای تولید تابع اقلیت استفاده شده است. تمام جمع‌کننده تقریبی اول (شکل ۲) - الف) دارای ده ترانزیستور است و در مسیر بحرانی آن سه ترانزیستور قرار دارد. خروجی *Sum* در پنج حالت و خروجی *Cout* در تمامی حالات درست است. هر دو خروجی این مدار دارای عملکرد فول‌سویینگ هستند. طرح دوم (شکل ۲) - ب) با ساده‌سازی و کاهش ترانزیستورهای تمام جمع‌کننده اول طراحی شده و خروجی‌های آن از نظر منطقی با طرح اول یکسان است؛ اما تنها خروجی *Cout* فول‌سویینگ است. این تمام جمع‌کننده دارای شش ترانزیستور بوده و دو ترانزیستور در مسیر بحرانی آن قرار گرفته است. در این مقاله نیز کاربرد تشخیص حرکت در تصویر برای ارزیابی کارایی تمام جمع‌کننده‌های پیشنهادی استفاده شده و کیفیت تصاویر از طریق معیار *PSNR* بررسی شده است.

$$PSNR = 10 \cdot \log_{10} \left( \frac{MAX_1^2}{MSE} \right) \quad (1)$$

$$SSIM(x, y) = \frac{(2\mu_x\mu_y + C_1)(2\sigma_{xy} + C_2)}{(\mu_x^2 + \mu_y^2 + C_1)(\sigma_x^2 + \sigma_y^2 + C_2)} \quad (2)$$



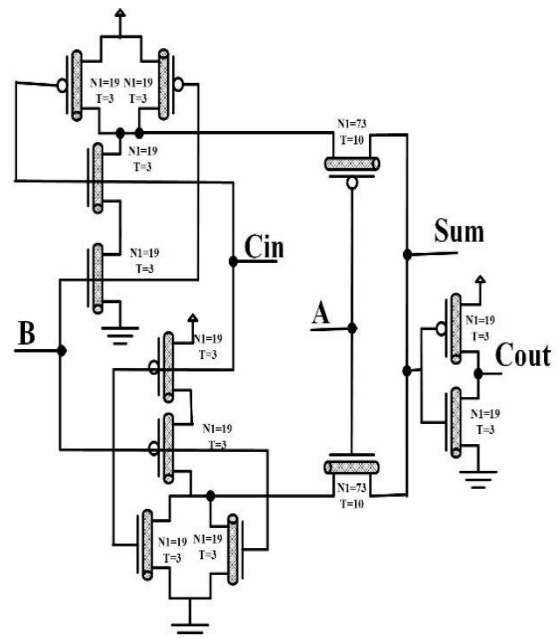
(الف)



(ب)

تنها منطق *Cout* معکوس است. در طرح آخر نیز هر دو خروجی دارای مقدار تقریبی‌اند. در این مدار خروجی *Sum* دارای پنج حالت و خروجی *Cout* دارای شش حالت درست بوده و دارای منطق معکوس‌اند. تعداد ترانزیستورهای مسیر بحرانی این مدار برابر با چهار است. برای بررسی عملکرد مدارها در این مقاله، از فشرده‌سازی تصاویر و ویدیوها استفاده شده که یکی از کاربردهای پردازش سیگنال دیجیتال است و معیار *PSNR* آنها گزارش شده است.

در مرجع [11]، یک تمام جمع‌کننده تقریبی در فناوری *CNTFET* ارائه شده که در آن خروجی *Sum* در دو حالت غلط و خروجی *Cout* در تمامی حالات درست است. وجود این ویژگی باعث جلوگیری از انتشار اشکال در جمع‌کننده‌های چندبیتی می‌شود. مسیر بحرانی این تمام جمع‌کننده شامل چهار ترانزیستور بوده و تنها خروجی *Cout* فول‌سویینگ است. برای بررسی مدار پیشنهادی در این مقاله از کاربرد تشخیص حرکت در تصویر استفاده شده است و تصاویر حاصل با استفاده از معیار *PSNR* از نظر کیفیت تصویر بررسی شده‌اند. شکل (۱) مدار پیشنهادی در این مقاله را نشان می‌دهد.



شکل (۱) - تمام جمع‌کننده تقریبی پیشنهادی در [11].

دو تمام جمع‌کننده تقریبی با استفاده از منطق آستانه‌خازنی<sup>۹</sup> و ترانزیستورهای *CNTFET* در [6] معرفی شده‌اند که در شکل (۲)

اصلی‌ترین تفاوت ساختار این ترانزیستورها و ترانزیستورهای سیلیکونی، وجود نانولوله‌ها در بین سورس و درین آنهاست که از چرخش یک صفحه گرافنی حول یک محور مشخص ایجاد شده‌اند. این محور مشخص با نام بردار کایرال شناخته می‌شود و از طریق ضرب دو عدد صحیح در بردارهای یکه  $\vec{a}_1$  و  $\vec{a}_2$  به دست می‌آید که در رابطه (۴) نشان داده شده است [4]. نکته درخور توجه در رابطه (۴) این است که اگر تفاضل  $n_1$  و  $n_2$  ضریب صحیحی از ۳ باشد، نانولوله ساخته شده دارای خاصیت فلزی است و امکان ساخت ترانزیستور از طریق آن وجود ندارد [7].

$$\vec{ch} = n_1 \vec{a}_1 + n_2 \vec{a}_2 \quad (4)$$

براساس رابطه (۴)، مقادیر  $n_1$  و  $n_2$  نوع نانولوله را مشخص می‌کنند. اگر یکی از این دو مقدار برابر صفر باشد، نانولوله از نوع زیگزاگ خواهد بود. در صورتی که مقدار  $n_1$  و  $n_2$  برابر باشد، از نوع دسته‌صندلی و در غیر این دو حالت، از نوع کایرال است [4]. یکی از مهم‌ترین ویژگی‌های این ترانزیستورها، قابلیت تنظیم ولتاژ آستانه آنها از طریق ابعاد نانولوله است. رابطه (۵)، این ویژگی را نشان می‌دهد [10]. ترانزیستورهای نوع  $p$  با مقدار کمتر از ولتاژ آستانه روشن بوده و نوع  $n$  با این مقدار خاموش است. همچنین ولتاژ آستانه ترانزیستورهای نوع  $p$  همچون ترانزیستورهای سیلیکونی دارای مقدار منفی است. ابعاد نانولوله نیز از طریق ضرایب بردار کایرال براساس رابطه (۶) کنترل پذیرند [10]. وجود همین ویژگی در این ترانزیستورها توجه‌ها را به سمت استفاده از آنها در کاربردهایی چون محاسبات تقریبی و منطق‌های چندمقداره معطوف کرده است.

$$V_{th} \approx \frac{0.436}{D_{CNT}} \quad (5)$$

$$D_{CNT} = 0.0783 \sqrt{n_1^2 + n_2^2 + n_1 n_2} \quad (6)$$

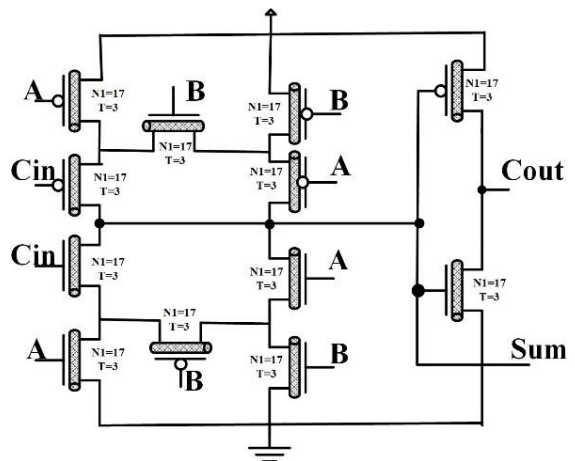
### ۳- طرح پیشنهادی

همان‌طور که در بخش پیشین اشاره شد جمع‌کننده‌ها اصلی‌ترین واحد محاسباتی در پردازنده‌های پردازش سیگنال دیجیتال هستند. بر همین اساس، در این پژوهش یک تمام جمع‌کننده تقریبی مبتنی بر ترانزیستورهای *CNTFET* و با استفاده از روش بازتعریف منطق تقریبی از منطق متداول ارائه شده است. هدف اصلی از طراحی این

شکل (۲) - تمام جمع‌کننده تقریبی ارائه شده در [6] الف) طرح ۱۰ ترانزیستوری (10 TIFA) ب) طرح ۶ ترانزیستوری (6 TIFA).

تمام جمع‌کننده معرفی شده در [19] با استفاده از دوازده ترانزیستور با هدف کاهش مصرف توان و نشستی در فناوری *CNTFET* ساخته شده است (شکل (۳)). خروجی *Cout* در این تمام جمع‌کننده کاملاً دقیق است و خروجی *Sum* معکوس *Cout* است. بر همین اساس، خروجی *Sum* در دو حالت دارای مقدار نادرست است. مسیر بحرانی این مدار شامل چهار ترانزیستور است. عملکرد تمام جمع‌کننده فوق از طریق کاربرد تشخیص حرکت در تصویر، بررسی و خروجی تصویر نیز با معیار *PSNR* ارزیابی شده است.

ادامه این مقاله به صورت زیر سازمان‌دهی شده است: در بخش دوم، ویژگی‌های ترانزیستورهای نانولوله کربنی مرور می‌شود. در بخش سوم، طرح پیشنهادی به طور کامل توضیح داده شده و در بخش چهارم، نتایج شبیه‌سازی و مقایسه پارامترهای مختلف با طرح‌های اخیر بیان می‌شود. در نهایت جمع‌بندی مقاله در بخش پنجم آورده شده است.



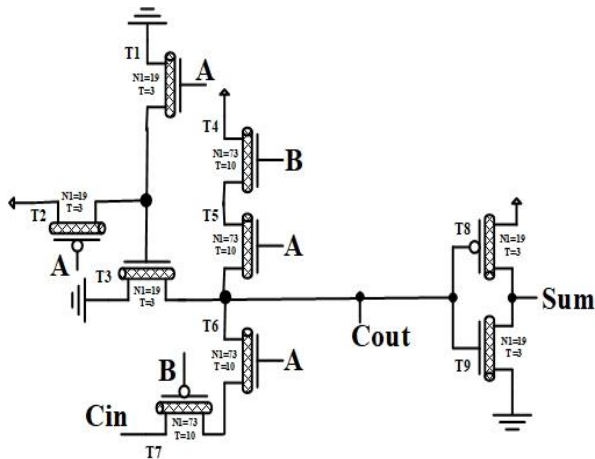
شکل (۳) - تمام جمع‌کننده تقریبی پیشنهادی در [19].

### ۲- ترانزیستورهای نانولوله کربنی

همان‌طور که در بخش قبل بیان شد به دلیل مشکلات استفاده از ترانزیستورهای سیلیکونی در ابعاد نانو و مزیت‌های ترانزیستورهای نانولوله کربنی، احتمال استفاده از این ترانزیستورها در مدارهای دیجیتال آینده به جای ترانزیستورهای سیلیکونی وجود دارد؛ برای مثال، می‌توان به ساخت و طراحی یک پردازنده شانزده بیتی مبتنی بر این تکنولوژی در دانشگاه MIT در سال ۲۰۱۹ اشاره کرد [20].

و  $T3$  روشن می‌شوند و خروجی  $Cout$  را صفر می‌کنند. پس از آن، با روشن شدن ترانزیستور  $T8$ ، خروجی  $Sum$  نیز برابر یک می‌شود. در حالتی که مقدار ورودی  $A$  یک و  $B$  صفر باشد، ترانزیستورهای  $T6$  و  $T7$  روشن می‌شوند و مقدار ورودی  $Cin$  در  $Cout$  قرار می‌گیرد. همچنین با توجه به مقدار ورودی  $Cin$ ، در هنگام صفر بودن آن ترانزیستور  $T8$  و در هنگام یک شدن آن، ترانزیستور  $T9$  روشن می‌شوند و منطق  $Sum$  را می‌سازند. در دو حالت دیگر نیز با روشن شدن ترانزیستورهای  $T4$ ،  $T5$  و  $T9$  منطق نهایی  $Cout$  و  $Sum$  ساخته می‌شود.

در این تمام جمع‌کننده تقریبی خروجی  $Sum$  فول‌سویینگ است؛ ولی خروجی  $Cout$  فول‌سویینگ نیست.



شکل (۴) - تمام جمع‌کننده تقریبی پیشنهادی

#### ۴- نتایج شبیه‌سازی

شبیه‌سازی مدار پیشنهادی و برخی از تمام جمع‌کننده‌های تقریبی ارائه‌شده تا کنون با استفاده از ابزار  $HSPICE$  و تکنولوژی ۳۲ نانومتر  $CNTFET$  مدل استنفورد انجام شده‌اند [21]. شبیه‌سازی‌ها در دمای ۲۷ درجه سانتی‌گراد، فرکانس ۲ گیگاهرتز، ولتاژ تغذیه ۰٫۹ ولت با استفاده از خازن بار ۰٫۷ فمتوفاراد انجام شده‌اند. دلیل انتخاب این مقدار برای خازن بار این است که بیشتر برای بررسی راه‌اندازی بار از  $FO4^{1'}$  استفاده می‌شود. برای شبیه‌سازی عادلانه و رعایت عدالت در اعمال ورودی به مدارها، از بافر در ورودی استفاده شده و خروجی آنها به تمام جمع‌کننده‌های تقریبی اعمال شده است. برای تحلیل دقیق مدارها، تمامی ۵۶ حالت ممکن در تمام جمع‌کننده به تمام جمع‌کننده‌های تقریبی در نظر گرفته شده اعمال شده‌اند و پارامترهای توان مصرفی، تأخیر و  $PDP$  نیز بر این اساس محاسبه شده‌اند. شکل موج خروجی مدار پیشنهادی

تمام جمع‌کننده، بهینه‌سازی آن از نظر تأخیر، توان مصرفی و مساحت است. جدول (۱) نشان‌دهنده جدول درستی تمام جمع‌کننده دقیق و مدار پیشنهادی است.

جدول (۱) - جدول درستی تمام جمع‌کننده دقیق و پیشنهادی.

A	B	Cin	Exact Sum	Exact Cout	Proposed Sum	Proposed Cout
۰	۰	۰	۰	۰	×۱	√۰
۰	۰	۱	۱	۰	√۱	√۰
۰	۱	۰	۱	۰	√۱	√۰
۰	۱	۱	۰	۱	×۱	×۰
۱	۰	۰	۱	۰	√۱	√۰
۱	۰	۱	۰	۱	√۰	√۱
۱	۱	۰	۰	۱	√۰	√۱
۱	۱	۱	۱	۱	×۰	√۱

در این جدول حالت‌های درست با علامت  $\checkmark$  و حالت‌های نادرست با علامت  $\times$  مشخص شده‌اند. بر اساس این جدول، خروجی  $Cout$  تنها در یک حالت و خروجی  $Sum$  در سه حالت نادرست است؛ بنابراین، مقدار پارامتر  $ED$  در مدار پیشنهادی برابر ۳ بوده و پارامتر  $ER$  برای خروجی  $Sum$  برابر با ۰٫۳۷۵ و برای خروجی  $Cout$  برابر با ۰٫۱۲۵ است. با استفاده از جدول (۱)، رابطه (۷) برای محاسبه مقدار دقیق  $Cout$  به دست می‌آید. با تغییر مقادیر دقیق به صورت نشان داده شده در ستون آخر جدول (۱)، مولفه  $BC$  از رابطه (۷) حذف می‌شود و رابطه (۸) به دست می‌آید.

$$Cout_{Exact} = ACin + AB + BCin \quad (7)$$

$$Cout_{Proposed} = ACin + AB = \overline{Sum} \quad (8)$$

در نظر گرفتن خروجی‌ها به این صورت باعث می‌شود تنها یک انتقال سویچینگ هنگام تغییر ورودی از ۱۰۰ به ۱۰۱ رخ دهد که به بهینه‌سازی مصرف توان منجر خواهد شد. همچنین با توجه به اینکه مقدار خروجی  $Sum$  معکوس خروجی  $Cout$  است، این نکته درباره آن نیز صادق است. براساس توضیحات ارائه‌شده، مدار تمام جمع‌کننده تقریبی به صورت نشان داده شده در شکل (۴) پیشنهاد شده است. با توجه به این شکل، مسیر بحرانی خروجی  $Cout$  شامل دو ترانزیستور و خروجی  $Sum$  شامل سه ترانزیستور است و عملکرد آن به این صورت توضیح داده می‌شود.

در حالتی که ورودی  $A$  برابر با صفر باشد، ترانزیستورهای  $T2$

۱۰ و  $n_1=73$  استفاده شده است. در [19] برای به دست آوردن نتایج بهینه، تعداد تیوب‌ها ۳ و  $n_1=17$  در نظر گرفته شده است؛ بنابراین، برای در نظر گرفتن شرایط شبیه‌سازی ایدئال آنها، مدارهای پیشنهادی آنها در همین سایزینگ بررسی شده‌اند. نتایج شبیه‌سازی در جدول (۲) گزارش شده‌اند.

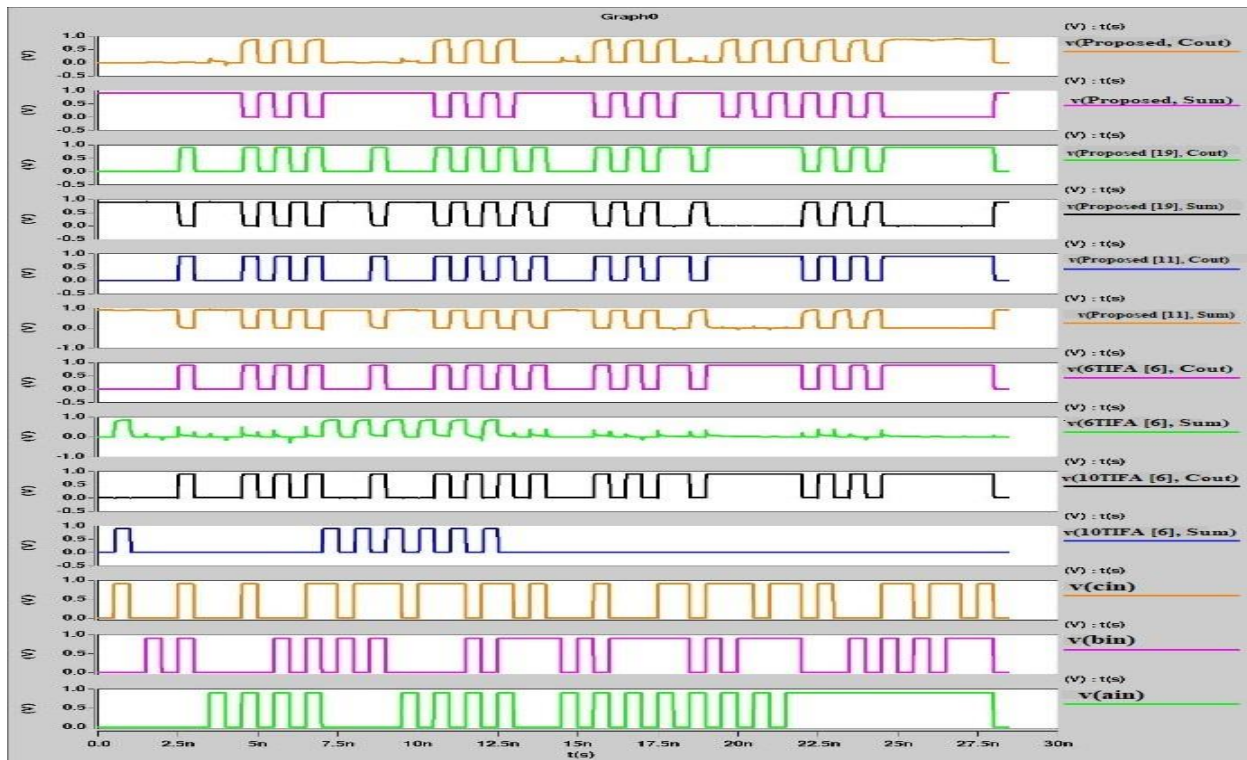
جدول (۲) نتایج شبیه‌سازی مدارهای تمام جمع‌کننده تقریبی.

تعداد ترانزیستورها	$ER, Cout$	$ER, Sum$	ED	PDP $10^{-17} J$	تأخیر $10^{-11} s$	توان $10^{-7} W$	جمع‌کننده
۹	۰/۱۲۵	۰/۳۷۵	۳	۳,۷۹۸	۲,۹۴۸	۱,۲۸۸	ارائه شده
۱۲	۰	۰/۲۵	۲	۶,۱۱۲	۵,۹۴۵	۱/۰۲۸	[19]
۱۲	۰	۰/۲۵	۲	۵,۳۴۸	۳,۷۷۲	۱,۴۱۷	[11]
۱۰	۰	۰/۳۷۵	۳	۲۹,۶۲	۶,۰۳۷	۴,۹۰۷	10TIFA, [6]
۶	۰	۰/۳۷۵	۳	۲۳,۴۸	۴,۹۶۱	۴,۷۳۳	6 TIFA, [16]

در مقایسه با سایر منابع [6, 11, 19] در شکل (۵) نشان داده شده است. برای انتخاب تعداد نانولوله‌ها و تنظیم قطر آنها باید با توجه به ولتاژ گرهمها و براساس راه‌اندازی ترانزیستورهای نانولوله کربنی این مقادیر انتخاب شوند. با توجه به اینکه در مقالات [6, 11] نویسندگان برای شبیه‌سازی مدارهای خود و به دست آوردن نتایج مطلوب، ترانزیستورهایی که منطق قوی را عبور می‌دهند، با تعداد تیوب ۳ و  $n_1=19$  و ترانزیستورهایی که منطق ضعیف را عبور می‌دهند، با تعداد تیوب ۱۰ و  $n_1=73$  در نظر گرفته‌اند، در این مقاله نیز برای یکسان‌بودن شرایط مقایسه و رعایت عدالت در شرایط ترانزیستورها، برای ترانزیستورهایی که منطق قوی را عبور می‌دهند، از تعداد تیوب ۳ و  $n_1=19$  و ترانزیستورهای عبوری که منطق ضعیف را عبور می‌دهند، به مانند مقالات [6, 11] از تعداد تیوب

جدول (۲) نتایج شبیه‌سازی مدارهای تمام جمع‌کننده تقریبی.

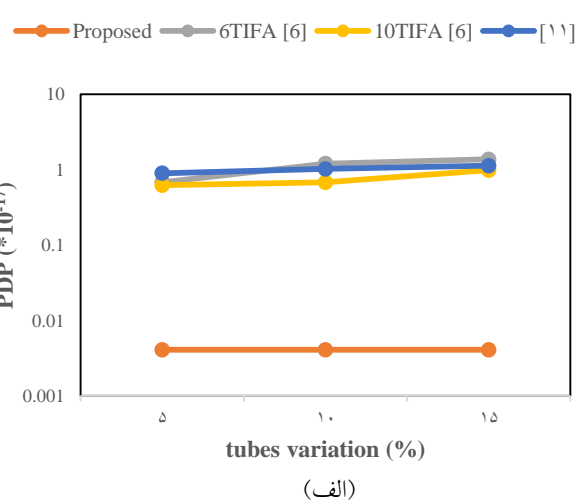
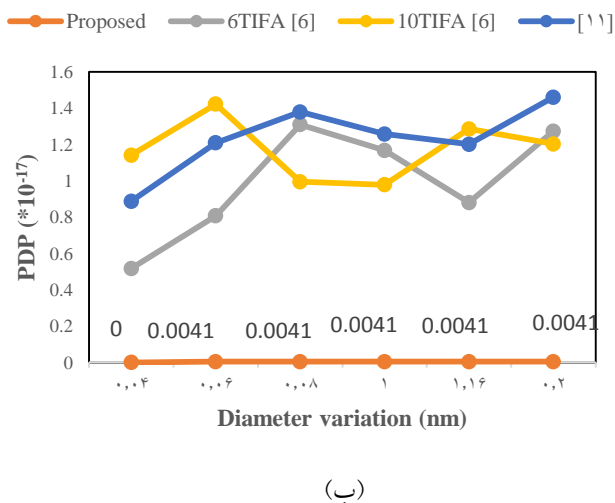
تعداد ترانزیستورها	$ER, Cout$	$ER, Sum$	ED	PDP $10^{-17} J$	تأخیر $10^{-11} s$	توان $10^{-7} W$	جمع‌کننده
۹	۰/۱۲۵	۰/۳۷۵	۳	۳,۷۹۸	۲,۹۴۸	۱,۲۸۸	ارائه شده
۱۲	۰	۰/۲۵	۲	۶,۱۱۲	۵,۹۴۵	۱/۰۲۸	[19]
۱۲	۰	۰/۲۵	۲	۵,۳۴۸	۳,۷۷۲	۱,۴۱۷	[11]
۱۰	۰	۰/۳۷۵	۳	۲۹,۶۲	۶,۰۳۷	۴,۹۰۷	10TIFA, [6]
۶	۰	۰/۳۷۵	۳	۲۳,۴۸	۴,۹۶۱	۴,۷۳۳	6 TIFA, [16]



شکل (۵) - شکل موج خروجی مدار پیشنهادی و سایر منابع [6, 11, 19]

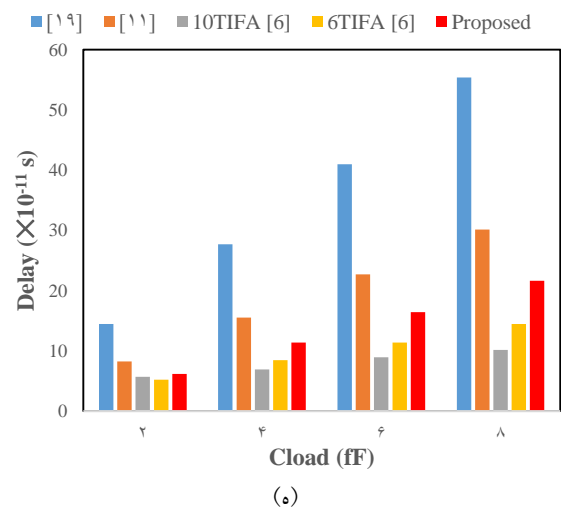
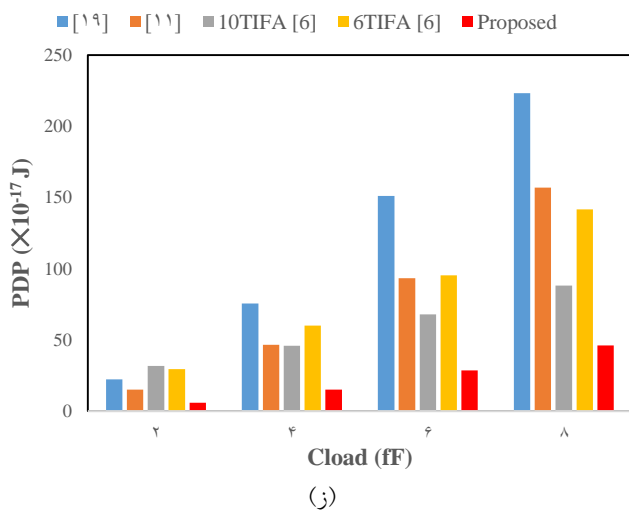
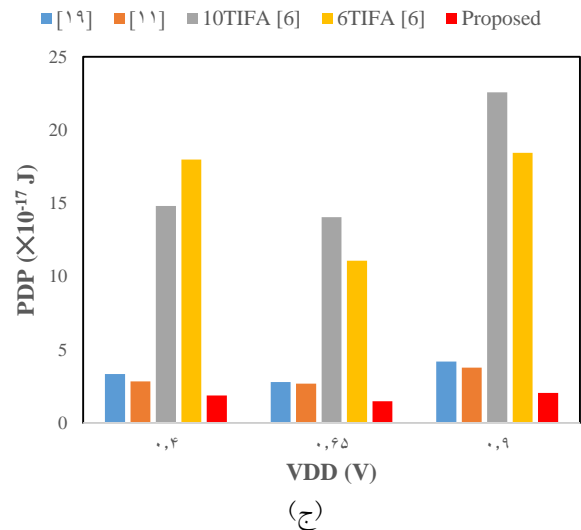
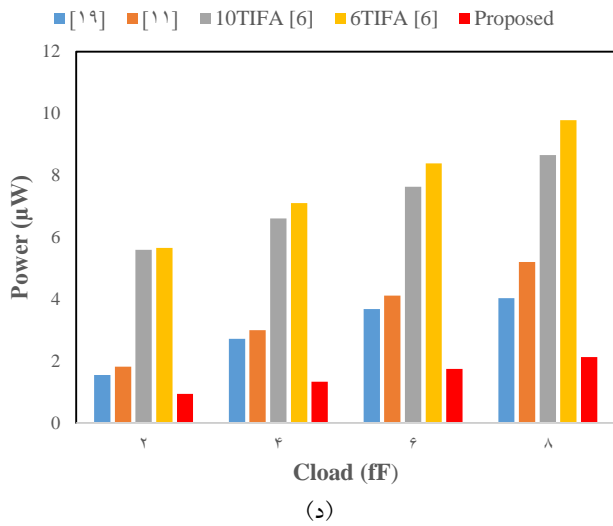
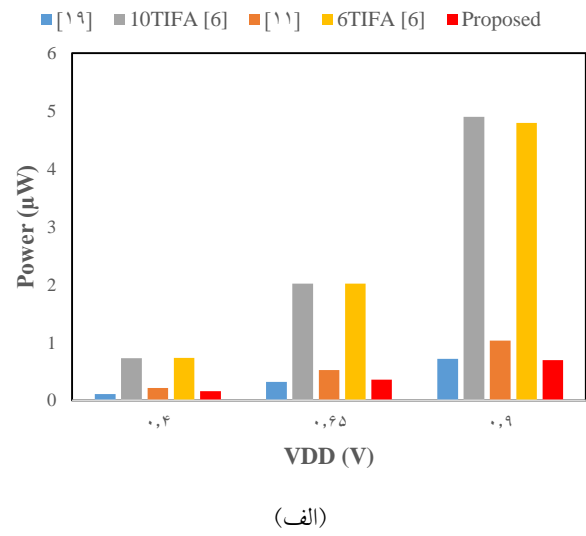
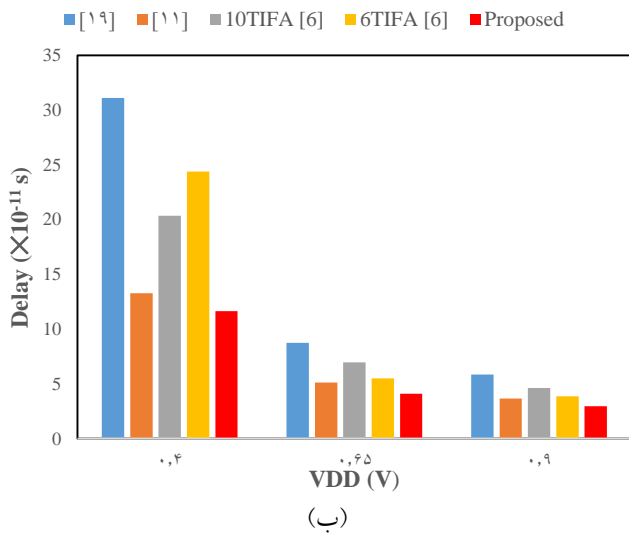
تأثیر از تغییرات فرآیندی و خطاهای ساخت دارای عملکرد پایدار و درستی است. گفتنی است تحلیل مونت کارلو برای مدار پیشنهادی در [19] با شکست مواجه شد. مقادیر مختلف توان، تأخیر و  $PDP$  با تأثیر از تغییرات خازن بار و ولتاژ تغذیه در شکل (۷) نشان داده شده‌اند. براساس شکل (۷) - (ب) مقدار تأخیر مدار پیشنهادی در ولتاژهای تغذیه مختلف همواره کمتر است؛ اما توان آن نسبت به طرح پیشنهادی در [19] بیشتر شده است. نتایج شبیه‌سازی نشان می‌دهند مقدار تأخیر مدار پیشنهادی در خازن‌های بار مختلف نسبت به هر دو طرح ارائه‌شده در [6] بیشتر بوده است؛ اما توان مصرفی آن همواره کمتر است. در همه موارد مقدار  $PDP$  مدار پیشنهادی کمتر از سایر منابع است. با توجه به شکل‌های (۷) د-ز، مقدار خازن بار تنها تا ۸ فمتوفاراد تغییر کرده است؛ به دلیل اینکه مدار ارائه‌شده در [19] تنها تا این مقدار خازن بار را راه‌اندازی می‌کند و با مقادیر بزرگ‌تر از کار می‌افتد. در میان سایر منابع نیز [11] تا ۱۴ فمتوفاراد را راه‌اندازی می‌کند و بقیه مدارها از جمله مدار پیشنهادی تا ۳۲ فمتوفاراد به درستی کار می‌کنند. درباره ولتاژ تغذیه نیز مدار پیشنهادی، مدار اول ارائه‌شده در [6] ( $10TIFA$ ) و تمام جمع‌کننده تقریبی پیشنهادی در [11] با مقدار ۰٫۳ ولت و مدار دوم منبع [6] ( $6TIFA$ ) با مقدار ۰٫۳۵ ولت و بالاتر کار می‌کنند. این در حالی است که مدار پیشنهادی در [19] از ولتاژ ۰٫۴ ولت عمل کرده است و بنابراین، نتایج شبیه‌سازی از این مقدار ولتاژ گزارش شده‌اند.

با توجه به جدول (۲)، هدف بهینه‌سازی تأخیر به درستی محقق شده و مقدار آن در طرح پیشنهادی نسبت به همه طرح‌های مقایسه‌شده کمتر است. هدف دیگر، کاهش توان مصرفی در تمام جمع‌کننده پیشنهادی بوده است که این هدف تا حد زیادی به دست آمده است و تنها یک طرح [19] نسبت به طرح پیشنهادی و به میزان ۲۰٪ توان مصرفی کمتری دارد و این در حالی است که تأخیر و تعداد ترانزیستورهای آن به ترتیب ۵۰٪ و ۲۵٪ بیشتر است. این امور به ایجاد بهبود حداکثر ۸۷٪ در پارامتر  $PDP^{xi}$  نسبت به طرح‌های ارائه‌شده در [6] منجر شده است. همچنین بهبود پارامترهای تأخیر و توان نیز نسبت به [11] و [19] بهبود ۲۹٪ و ۳۸٪ در  $PDP$  را به دنبال داشته است. همچنین بهینه‌سازی از نظر تعداد ترانزیستورهای استفاده‌شده نیز انجام گرفته و مقدار آن نسبت به همه منابع به جز طرح دوم منبع [6] کمتر شده است. برای بررسی بهتر عملکرد مدار پیشنهادی و در نظر گرفتن شرایط ساخت و عملکردی مختلف، شبیه‌سازی‌های متفاوتی در خازن‌های بار ۲ تا ۳۲ فمتوفاراد، ولتاژهای تغذیه ۰٫۳ تا ۰٫۹ ولت و تغییرات فرآیندی براساس تمام حالات جدول درستی مدارهای در نظر گرفته شده انجام شده است. تحلیل گذرای مونت کارلو با توزیع گائوسی  $\pm 5\%$  تا  $\pm 15\%$  و سطح تغییرات بر  $\pm 3\sigma$  روی تعداد نانولوله‌ها و قطر نانولوله‌ها انجام شده است. این تحلیل به منظور در نظر گرفتن شرایط مختلف ساخت در ۳۰ گام انجام شده است که نتایج آن در شکل (۶) نشان داده شده‌اند. بر اساس این شکل، مدار پیشنهادی با



شکل (۶) - نتایج تغییرات فرآیندی تحت تأثیر الف) تعداد نانولوله‌ها (مقیاس لگاریتمی)؛ ب) قطر نانولوله‌ها (مقیاس عادی).





شکل (۷) - نتایج شبیه‌سازی مدارهای بررسی شده [6, 11, 19] و مدار پیشنهادی. الف تا ج) ولتاژهای تغذیه مختلف. د تا ز) خازن‌های بار مختلف.

جمع‌کننده دیگر تقریبی‌اند، تمام ۶۵۵۳۶ حالت جمع اعداد ۸ بیتی در متلب شبیه‌سازی شده‌اند و پارامترهای  $13$  MED (میانگین مقادیر ED) و  $14$  NMED (مقدار نرمالایز شده MED) محاسبه شده‌اند. نتایج به دست آمده در جدول (۵) گزارش شده‌اند. بر اساس نتایج به دست آمده از معیارهای تحلیل خطای ED و ER و نتایج معیارهای کیفیت تصاویر گزارش شده در جدول (۴) و براساس معیارهای MED و NMED، تمام جمع‌کننده تقریبی پیشنهادی در ساختارهای محاسباتی بزرگ نیز کارا هستند و خطای اعمال شده به محاسبات در کاربردهای مقاوم به خطا پذیرفتنی است.

جدول (۴) - معیارهای ارزیابی تصویر در مدار جمع‌کننده

هشت بیتی.

جمع‌کننده	PSNR	SSIM	MSSIM
پنج تمام جمع‌کننده پرارزش دقیق.			
پیشنهادی	۴۴/۵۲	۰/۹۸۹	۰/۹۹
[11, 19]	۴۵/۱۴	۰/۹۹۱	۰/۹۹۱
[6]	۴۱/۳۶	۰/۹۹۱	۰/۹۹۱
چهار تمام جمع‌کننده پرارزش دقیق.			
پیشنهادی	۳۸/۸۳	۰/۹۶۳	۰/۹۶۴
[11, 19]	۳۹/۴۷	۰/۹۷۰	۰/۹۷۰
[6]	۳۵/۷۷	۰/۹۷۲	۰/۹۷۲
سه تمام جمع‌کننده پرارزش دقیق.			
پیشنهادی	۳۲/۶۴	۰/۸۹	۰/۸۹۱
[11, 19]	۳۳/۷۷	۰/۹۱۲	۰/۹۱۴
[6]	۳۰/۳۷	۰/۹۱۳	۰/۹۱۴

جدول (۵) نتایج معیارهای MED و NMED برای

تمام جمع‌کننده‌های تقریبی بررسی شده و پیشنهادی.

جمع‌کننده	MED	NMED
ارائه شده	۸,۸۵۵	۰,۰۱۷۳۶
[19]	۷,۳۷۶	۰,۰۱۴۴۶
[11]	۷,۳۷۶	۰,۰۱۴۴۶
10 TIFA, [6]	۱۲,۲۵	۰,۰۲۴۰۱
6 TIFA, [6]	۱۲,۲۵	۰,۰۲۴۰۱

## ۵- جمع‌بندی

در سال‌های اخیر، افزایش زمان پردازش و توان مصرفی سیستم‌ها به دلیل افزایش حجم داده‌ها و برنامه‌ها، یکی از

برای بررسی تأثیر معیارهای دقت در کنار پارامترهای تحلیل مدار، یک معیار جدید با نام  $12$  PDAEDP بررسی می‌شود که حاصل ضرب توان، تأخیر، تعداد ترانزیستورها (مساحت) و ED است. این معیار برای مدار پیشنهادی و مدارهای بررسی شده در جدول (۳) گزارش شده است؛ مدار پیشنهادی دارای کمترین مقدار است.

جدول (۳) نتایج معیار ترکیبی پیشنهاد شده برای تمام

جمع‌کننده‌های تقریبی.

جمع‌کننده	ED	تعداد ترانزیستور	$PDP_{10-17}$	PDAED P
ارائه شده	۳	۹	۳,۷۹۸	۱۰۲,۵۴۶
[19]	۲	۱۲	۶,۱۱۲	۱۴۶,۶۸۸
[11]	۲	۱۲	۵,۳۴۸	۱۲۸,۳۵۲
10 TIFA, [6]	۳	۱۰	۲۹,۶۲	۸۸۸,۶
6 TIFA, [6]	۳	۶	۲۳,۴۸	۴۲۲,۶۴

بررسی عملکرد مدار پیشنهادی در کاربرد پردازش تصویر جمع تصاویر، با استفاده از جمع‌کننده انتشار رقم نقلی هشت بیتی در نرم‌افزار متلب انجام شده است. به همین منظور، شبیه‌سازی‌های مختلفی با تغییر تعداد تمام جمع‌کننده‌های دقیق در این جمع‌کننده هشت بیتی انجام شده‌اند. اندازه تصاویر ورودی  $256 \times 256$  پیکسل است و تصاویر خروجی با معیارهای کیفیت تصویر  $PSNR$ ،  $SSIM$  و  $MSSIM$  ارزیابی شده‌اند که در جدول (۴) گزارش شده‌اند و شکل (۸) نتایج تصویری آن را نشان می‌دهد. براساس این معیارها، عملکرد مدار پیشنهادی نسبت به طرح‌های ارائه شده در [6] بهتر است و [11] و [19] با تفاوت کمی بهتر از مدار پیشنهادی‌اند. این امر به دلیل دقیق بودن خروجی  $cout$  در این منابع است. نکته شایان توجه در این جدول این است که به دلیل یکسان بودن منطق‌های به کار برده شده در [19] و [11] یا هر دو طرح [6]، نتایج معیارهای پردازش تصویر برای هر دوی آنها یکسان شده‌اند.

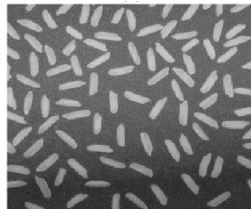
برای بررسی دقت مدار جمع‌کننده پیشنهادی در ساختار جمع‌کننده ریپل ۸ بیتی که ۳ جمع‌کننده پرارزش دقیق و ۵

هدف بهینه‌سازی مساحت، تأخیر و توان مصرفی معرفی شده است. شبیه‌سازی‌های این طرح در نرم‌افزار *HSPICE* بهبود حداکثر ۸۷٪ را در پارامتر *PDP* نسبت به طرح اول ارائه شده در [6] نشان می‌دهد که عمدتاً ناشی از کاهش مصرف توان است. به منظور بررسی بهتر عملکرد مدارها، شبیه‌سازی‌های متفاوتی با تأثیر از تغییر خازن‌های بار مختلف، ولتاژهای تغذیه و تغییرات فرآیندی انجام شده‌اند که نشان‌دهنده عملکرد پایدار و صحیح مدار پیشنهادی است. همچنین نتایج جمع تصاویر با استفاده از نرم‌افزار متلب، کارایی این طرح را در این کاربرد نشان می‌دهد.

مشکلات سیستم‌های دیجیتال بوده است؛ به همین دلیل به‌کارگیری روش‌هایی برای بهبود این پارامترها بسیار شایان توجه است. استفاده از روش‌های تقریبی در کاربردهایی که تاحدی تحمل‌پذیر خطا هستند، در کنار ترانزیستورهای *CNTFET* که دارای توان مصرفی کمتر و سرعت بیشتری نسبت به ترانزیستورهای ماسفت هستند، عملکرد پردازنده‌های خاص‌منظوره چون  $DSP^{15}$ ‌ها را بهبود می‌بخشد. همچنین اهمیت جمع‌کننده‌ها در پردازنده‌های *DSP*، پژوهشگران را بر آن داشته است تا به طراحی کاراتر این مدار بپردازند. بر اساس این، در مقاله حاضر یک تمام جمع‌کننده تقریبی مبتنی بر ترانزیستورهای نانولوله کربنی با



(الف)



(ب)



(ج)



(د)



(ه)



(ز)

شکل (۸) - نتایج پردازش تصویر. الف و ب) تصاویر ابتدایی؛ ج) تصویر حاصل از جمع دقیق؛ د) تصویر حاصل از جمع‌کننده‌های پیشنهادی در [11, 19] ه) [6] ز) مدار پیشنهادی.

- performance CNTFET-based full adder cell applicable in: Carry ripple, carry select and carry skip adders.* Microelectronic Engineering, Vol. 215, pp. 110980, 2019.
- [5] A. Doostaregan, and A. Abrishamifar, *A New Method for Design of CNFET-Based Quaternary Circuits.* Circuits, Systems, and Signal Processing, Vol. 38, No. 6, pp. 2588-2606, 2019.
- [6] R. Ataie, A. S. E. Zarandi, and Y. S. Mehrabani, *An Efficient inexact Full Adder cell design in CNFET technology with high-PSNR for image processing.* International Journal of Electronics, Vol. 106, No. 6, pp. 928-944, 2019.
- [7] S. A. Ebrahimi, M. R. Reshadinezhad, A.

## ۱- مراجع

- [1] N. H. E. West, D. Harris, *CMOS VLSI design: a circuits and systems perspective.* 2015: Pearson Education India.
- [2] G. Yeap, G., *Practical Low Power Digital Design*, Sec. 1.6, pp. 20-22, ed. 1. 1998, New York: Springer Science, Business Media.
- [3] M. R. Reshadinezhad, M. H. Moaiyeri, and K. Navi, *An Energy-Efficient Full Adder Cell Using CNFET Technology.* IEICE transactions on electronics, Vol. 95, No. 4, pp. 744-751, 2012.
- [4] H. T. Tari, A. D. Zarandi, and M. R. Reshadinezhad, *Design of a high*

- Adders: A Review*. Arabian Journal for Science and Engineering, Vol. 43, No. 12, pp. 6667-6692, 2018.
- [15] I. Qiqieh, R. Shafik, G. Taravneh, et al., *Energy-efficient approximate multiplier design using bit significance-driven logic compression*. in *Design, Automation & Test in Europe Conference & Exhibition (DATE)*, 2017.
- [16] Z. Wang, Z., A. C. Bovik, H. R. Sheikh, et al., *Image quality assessment: from error visibility to structural similarity*. IEEE transactions on image processing, Vol. 13, No. 4, pp. 600-612, 2004.
- [17] P. Premaratne, and M. Premaratne, *Image similarity index based on moment invariants of approximation level of discrete wavelet transform*. Electronics letters, Vol. 48, No. 23, pp. 1465-1467, 2012.
- [18] J. Rabaey, *Digital integrated circuits: a design perspective*. 1996: Englewood Cliffs, N.J. : Prentice Hall, 1996.
- [19] C. Goyal, J. S. Ubhi, and B. Raj, *A low leakage TG-CNTFET-based inexact full adder for low power image processing applications*. International Journal of Circuit Theory and Applications, Vol. 47, No. 9, pp. 1446-1458, 2019.
- [20] G. Hills, C. Lau, A. Wright, et al., *Modern microprocessor built from complementary carbon nanotube transistors*. Nature, Vol. 572, No. 7771, pp. 595-602, 2019.
- [21] Stanford University CNFET model Website: Stanford University, S., CA. Available: <http://nano.stanford.edu/model.php?id=23>, accessed April 2012
- Bohlooli, et al., *Efficient CNTFET-based design of quaternary logic gates and arithmetic circuits*. Microelectronics Journal, Vol. 100, No. 53, pp. 156-166, 2016.
- [8] E. Roosta, and S. A. Hosseini, *A Novel Multiplexer-Based Quaternary Full Adder in Nanoelectronics*. Circuits, Systems, and Signal Processing, 2019.
- [9] S. Reda, M. Shafique, *Approximate Circuits: Methodologies and CAD*. Springer, 2018.
- [10] S. S. Farahani, and M. R. Reshadinezhad, *A new twelve-transistor approximate 4:2 compressor in CNTFET technology*. International Journal of Electronics, Vol. 106, No. 5, pp. 691-706, 2019.
- [11] Y. S. Mehrabani, R. F. Mirzaee, Z. Zareei, et al., *A Novel High-Speed, Low-Power CNTFET-Based Inexact Full Adder Cell for Image Processing Application of Motion Detector*. Journal of Circuits, Systems and computers, Vol. 26, No. 5, pp. 1750082, 2016.
- [12] H. Sadat, S. Parameswaran, *Special session: hardware approximate computing: howm why, when and where*, in *International Conference on Compilers, Architectures and Synthesis For Embeded Systems (CASES)*. pp. 1-2, 2017.
- [13] V. Gupta, D. Mohapatra, A. Raghunathan, et al., *Low-Power Digital Signal Processing Using Approximate Adders*. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 32, No. 1, pp. 124-137, 2013.
- [14] G. H. Bin Talib, A. H. El-Maleh, and S. M. Sait, *Design of Fault Tolerant*

زیر نویس ها

<sup>1</sup> Complementary Metal Oxide Semiconductor

<sup>2</sup> Voltage Over Scaling

<sup>3</sup> Error Rate

<sup>4</sup> Error Distance

<sup>5</sup> Peak Signal to Noise Ratio

<sup>6</sup> Structural Similarity Index

<sup>7</sup> Mean SSIM

<sup>8</sup> Carbon Nano-Tube Field Effect Transistor

<sup>9</sup> Capacitive Threshold Logic

<sup>10</sup> Fan-Out of four

<sup>xi</sup> Power Delay Product

<sup>12</sup> Power Delay Area ED Product

<sup>13</sup> Mean Error Distance

<sup>14</sup> Normalized Mean Error Distance

<sup>15</sup> Digital Signal Processing