



Computational Intelligence in Electrical Engineering
Vol. 11, No. 3, 2020
Research Paper

Performance and Reliability Improvement on 2D-NOC Based on Reducing the Number of Passing Links

Seyyed Amin Alavi¹, Seyyed Javad Seyyed Mahdavi Chabok²

¹ Dept. of Electrical Engineering, Mashhad Branch, Islamic Azad University, Mashhad, Iran
aminalavi@mshdiau.ac.ir

² Dept. of Electrical Engineering, Mashhad Branch, Islamic Azad University, Mashhad, Iran
mahdavi@mshdiau.ac.ir

Abstract:

Network on-chip is a communication subsystem within an integrated circuit that provides communication between processors in the on-chip system. There are several different ways to get from one node to another. Therefore, there must be a routing algorithm to find the route to the destination. This paper presents an algorithm based on the reduction of the passing path to reach a packet from origin to destination which is able to increase the reliability, reduce latency, power consumption and increase network efficiency on the chip. And this is when most of the fault-tolerant networks presented in this field increase parameters such as delay, power consumption and circuit complexity in order to achieve higher reliability. The proposed method improves network performance with minimal hardware changes and circuit complexity. The path passed by the packet is reduced to reach the destination, which means passing through fewer links and routers and less chance of encountering faulty links and routers and increasing network reliability. Also, passing fewer links and routers will reduce network latency and power consumption.

Keywords: Network On-Chip, High Performance NOC, High Reliable NOC, Fault Tolerant NOC.



2252-083X/ © 2020 The Authors. Published by University of Isfahan

This is an open access article under the CC BY-NC-ND/4.0/ License (<https://creativecommons.org/licenses/by-nc-nd/4.0/>).



<http://dx.doi.org/10.22108/isee.2020.117136.1231>

افزایش کارایی و قابلیت اطمینان شبکه روی تراشه دوبعدی با کاهش

تعداد لینک‌های عبوری

سید امین علوی^۱، سید جواد سید مهدوی چابک^۲

۱- دانشجوی مقطع دکتری، دانشکده مهندسی برق - واحد مشهد - دانشگاه آزاد اسلامی - مشهد - ایران

aminalavi@mshdiau.ac.ir

۲- استادیار، دانشکده مهندسی برق - واحد مشهد - دانشگاه آزاد اسلامی - مشهد - ایران

mahdavi@mshdiau.ac.ir

چکیده: شبکه روی تراشه، زیرسیستم ارتباطی درون یک مدار مجتمع است که ارتباط بین پردازنده‌ها در سیستم روی تراشه را فراهم می‌سازد. برای رسیدن از یک گره به گره دیگر، چندین مسیر مختلف وجود دارد؛ بنابراین باید الگوریتم مسیریابی وجود داشته باشد تا به وسیله آن مسیر رسیدن به مقصد را به دست آورد. در این مقاله الگوریتمی مبتنی بر کاهش مسیر عبوری برای رسیدن یک بسته از مبدأ به مقصد ارائه شده است؛ این الگوریتم قادر است علاوه بر بالا بردن قابلیت اطمینان، باعث کاهش تأخیر، توان مصرفی و افزایش کارایی شبکه روی تراشه شود و این در شرایطی است که بیشتر شبکه‌های تحمل‌پذیر خطای ارائه شده در این حوزه به‌زای رسیدن به قابلیت اطمینان بالاتر، پارامترهایی از قبیل تأخیر، توان مصرفی و پیچیدگی‌های مداربندی را افزایش می‌دهند. روش ارائه شده با کمترین تغییرات سخت‌افزاری و پیچیدگی مداری باعث بهبود کارایی شبکه می‌شود. مسیر گذرانده شده با بسته برای رسیدن به مقصد کاهش می‌یابد و این کاهش مسیر یعنی عبور از تعداد لینک و مسیریاب کمتر و کاهش احتمال برخورد با لینک‌ها و مسیریاب‌های معیوب و افزایش قابلیت اطمینان شبکه. همچنین عبور از تعداد لینک‌ها و مسیریاب‌های کمتر موجب کمتر شدن تأخیر و توان مصرفی شبکه نیز خواهد شد.

واژه‌های کلیدی: شبکه روی تراشه، شبکه روی تراشه با کارایی بالا، شبکه روی تراشه با قابلیت اطمینان بالا، شبکه روی

تراشه تحمل‌پذیر خطا

۱- مقدمه

و چند پردازنده‌ای در سطح تراشه است. شبکه روی تراشه امکان استفاده از راه‌حل‌های کاملاً سنتزپذیر را فراهم می‌کند؛ به‌گونه‌ای که می‌تواند به‌صورت اتوماتیک برای هر طراحی تراشه بهینه شود. قرارگرفتن تعداد هسته‌های بیشتر روی یک تراشه به دلیل افزایش بسیار زیاد ترانزیستورها در آینده باعث بروز مشکلاتی در ارتباطات بین هسته‌ها خواهد شد.

ایده شبکه روی تراشه با الهام‌گرفتن از شبکه‌های کامپیوتری مطرح شد [۱]، [۲] و [۳]. ایده اصلی، استفاده از تکنیک‌ها و روش‌های موجود در شبکه‌های کامپیوتری

^۱ تاریخ ارسال مقاله: ۱۳۹۸/۰۲/۳۰

تاریخ پذیرش مقاله: ۱۳۹۸/۱۰/۲۴

نام نویسنده مسئول: سید جواد سید مهدوی چابک

نشانی نویسنده مسئول: ایران - مشهد - دانشگاه آزاد اسلامی - دانشکده مهندسی برق

برای رسیدن به زیرساخت ارتباطی مطلوب، پژوهشگران ایده استفاده از شبکه‌های مبتنی بر بسته را ارائه دادند، مشابه آنچه در شبکه‌های کامپیوتری استفاده می‌شود [۴]. این شبکه‌ها علاوه بر اینکه دارای مقیاس‌پذیری

در سال‌های اخیر الگوریتم‌های بسیاری برای مسیریابی شبکه روی تراشه ارائه شده‌اند که بیشتر بر بهبود کارایی، قابلیت اطمینان، تأخیر و توان مصرفی متمرکز بوده‌اند. در ادامه برخی از آنها معرفی شده‌اند.

بسیاری از شبکه‌های روی تراشه تحمل‌پذیر خطا برای رفع مشکل بن‌بست از حذف برخی چرخش‌ها یا کانال مجازی استفاده می‌کنند که در نهایت موجب کاهش کارایی سیستم می‌شود. در [۸] روش حذف بن‌بست با حفظ کارایی بالای شبکه بدون استفاده از کانال‌های مجازی و حذف چرخش‌ها پیشنهاد شده است. در این روش از بافر مقاوم - یک بافر FIFO که از فضای موجود در کش استفاده می‌کند - برای اجتناب از بن‌بست استفاده شده است. بافر مقاوم فقط در زمان رخداد خطا از فضای کش گره مدنظر استفاده می‌کند و فضای کش گره‌های دیگر تحت تأثیر قرار نمی‌گیرند. این روش کارایی شبکه را در مقایسه با شبکه‌های تحمل‌پذیر خطا که از روش حذف چرخش و کانال مجازی استفاده می‌کنند، ۲ تا ۳ برابر بهبود می‌بخشد و سرآمد فضای مسیریاب و توان مصرفی را کاهش می‌دهد.

در [۹] الگوریتمی ارائه شده است که در آن شبکه کنترل و شبکه داده از یکدیگر جدا هستند. شبکه کنترل به صورت مرکزی و با هسته شبکه مدیریت می‌شود؛ اما شبکه اطلاعات به صورت گسترده است. این الگوریتم مسیریابی دارای مزایای زیر است: ۱- هسته مرکزی دارای دید کامل به کل شبکه است و اطلاعات ترافیک و لینک‌های معیوب را دارد و بهترین مسیر برای انتقال اطلاعات را در شبکه داده مشخص می‌کند؛ ۲- محاسبات و تخصیص مسیر به بسته‌ها، حساسیت کمتری به فاصله مبدأ و مقصد دارند؛ ۳- دارای سربار سخت‌افزاری کمتری نسبت به سایر الگوریتم‌ها است؛ چون نیازی به سوئیچ‌های پیچیده، بافرها و جداول مسیریابی ندارد؛ ۴- نیازی به اطلاعات اضافی مبدأ و مقصد در بسته‌ها و فلیت‌ها ندارد.

یک معماری مسیریاب شبکه روی تراشه مطمئن در [۱۰] ارائه شده است که توانایی تحمل خطاهای سخت و نرم را با استفاده از تکنیک‌هایی مانند افزونگی فضایی، بهره‌گیری از چرخه‌های باطل و بای‌پس منابع معیوب دارد.

نامحدودی دست‌کم از نظر فیزیکی‌اند، دارای ویژگی استاندارد بودن و فراهم کردن یک ساختار دارای قابلیت استفاده مجدد نیز هستند. این قابلیت‌ها برای طراحان تراشه اهمیت زیادی دارند؛ زیرا زمان طراحی را کوتاه‌تر می‌کنند و محصولات را زودتر به بازار می‌رسانند.

کوچک‌تر شدن ظرفیت خازن‌های مدار و کاهش سطوح ولتاژ منبع تغذیه و لاجیک، حساسیت گیت‌ها، فلیپ فلاپ‌ها و واحدهای حافظه استفاده‌شده را در برابر انواع نویزهای محیطی، ذرات باردار و نویزهای هم‌شونوایی افزایش داده است که به ایجاد خطاهای گذرا و دائمی منجر می‌شوند [۵]؛ به همین دلیل، طراحی سیستم‌های انتقال اطلاعات تحمل‌پذیر در برابر اشکال که بتوانند مانع از دست رفتن و انتقال ناصحیح اطلاعات شوند، اهمیت ویژه‌ای یافته است [۶].

سیستم تحمل‌پذیر خطا، سیستمی است که وظیفه خود را به درستی حتی با وجود خطاهای سخت‌افزاری و اشتباهات نرم‌افزاری ادامه می‌دهد. تحمل خطا یکی از نگرانی‌های عمده در عملکرد سیستم‌های دیجیتال است و برای اینکه سیستم صحیح کار کند و تأثیر خرابی بر عملکرد آن کاهش یابد، باید ابتدا خطا پیش‌بینی، سپس مدیریت و کنترل شود. روش‌های تحمل خطا برای پیش‌بینی خرابی و انجام یک اقدام مناسب قبل از خطا است. افزایش قابلیت اطمینان عملکرد سیستم‌های دیجیتال با پیاده‌سازی ساختار تحمل‌پذیر خطا، امکان‌پذیر است. تحمل‌پذیری خطا در یک سیستم با افزونگی در سخت‌افزار، نرم‌افزار، اطلاعات یا محاسبات به دست می‌آید. این قبیل افزونگی در پیکربندی ایستا، پویا یا ترکیبی پیاده‌سازی می‌شود [۷]. افزونگی سخت‌افزاری با فراهم کردن دو یا تعداد بیشتری نمونه‌های فیزیکی از یک مؤلفه سخت‌افزاری به دست می‌آید. هدف مهم در طراحی سیستم تحمل‌پذیر خطا این است که سیستم به صورت خودکار، خود را در برابر بخش‌های دچار خرابی بازیابی کند؛ بدون اینکه این امر تأثیری در عملکرد کلی سیستم داشته باشد.

شبکه روی تراشه تحمل‌پذیر خطا برای انتقال کامل و صحیح اطلاعات در سیستم‌های روی شبکه ارائه شده است.

در ادامه و در بخش ۲، شبکه روی تراشه و ساختار آن توضیح داده شده است. در بخش ۳، شبکه روی تراشه پیشنهاد شده تشریح شده است. در بخش‌های ۴ و ۵ به ترتیب پارامترهای الگوریتم پیشنهاد شده، بررسی و نتایج شبیه‌سازی آن بیان شده‌اند و در نهایت نتیجه‌گیری در بخش ۶ بیان شده است.

۲- شبکه روی تراشه

شبکه روی تراشه، زیرسیستم ارتباطی درون‌مدار مجتمع است که ارتباط بین پردازنده‌ها در سیستم روی تراشه را فراهم می‌سازد. از جمله مهم‌ترین موارد شایان توجه در طراحی یک مسیریاب شبکه روی تراشه، همبندی، الگوریتم مسیریابی و نوع سویچینگ آن‌اند. منظور از همبندی، چگونگی اتصال عناصر پردازشی به یکدیگر است [۱۴]. به عبارتی یک همبندی نوعی گراف است که گره‌های آن، عناصر پردازشی شبکه‌اند و یال‌های آن اتصالات موجود مابین این عناصرند.

شکل (۱) نحوه اتصالات مسیریاب‌ها در همبندی‌های توری و توری مدور را نشان داده است.

ساختار منظم هر دو همبندی، پیاده‌سازی آنها را آسان می‌سازد. مشکل اصلی همبندی توری، قطر شبکه است که تأثیری منفی در لختی آن دارد. شبکه توری مدور در راستای کاهش تأخیر شبکه توری با حفظ سادگی آن مطرح شده است [۱۵]. تنها تفاوت موجود بین شبکه توری و توری مدور، سویچ‌های لبه شبکه‌اند که با کمربندهایی به سویچ‌های لبه متضاد شبکه متصل شده‌اند. به عبارت دیگر، در شبکه توری مدور، تمامی سویچ‌ها دارای پنج پورت فعال‌اند که یکی از آنها به منبع محلی و چهار پورت دیگر آن به مسیریاب‌های همسایه متصل شده‌اند؛ درحالی‌که در همبندی توری سویچ‌های لبه‌ای از سه پورت تشکیل شده‌اند.

با استفاده از زمان میانگین به شکست و معیارهای عامل حفاظت سیلیکون، به حداقل ۱/۵ برابر قابلیت اطمینان بیشتر از معماری‌های موجود مسیریاب‌های مقاوم در برابر نقص دست می‌یابد. این روش یک معیار جدید به نام ضریب بهبود خطای نرم معرفی می‌کند و نشان می‌دهد تحمل خطای نرم در مقایسه با مسیریاب مبنای حفاظت نشده، ۳ برابر بهبود یافته است. این بهبود قابلیت اطمینان، با ایجاد سربار مساحت و توان به ترتیب برابر با ۳۴٪ و ۳۱٪ انجام می‌شود و همچنین در حضور خطاها، تأخیر ۱۰٪ افزایش می‌یابد.

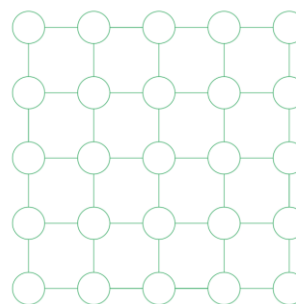
در [۱۱] یک همبندی جدید به نام شبکه بازگشتی متصل صلیبی سلسله‌مراتبی (HCCR) و یک الگوریتم مسیریابی کوتاه‌ترین مسیر برای HCCR معرفی شده است. برای همه استراتژی‌های سوئیچینگ، قطر شبکه را کوچک‌تر و اتصالات شبکه (در بافر و لبه‌ها) را بهبود بخشیده و تأخیر انتشار را در ارتباط نقطه‌به‌نقطه کاهش داده است.

یک مکانیزم کدینگ با کارایی بالا به نام PS-Fibo برای کم کردن خطاهای کراس‌تاک سیم‌های شبکه روی تراشه پیشنهاد شده است [۱۲]. مکانیزم کدینگ PS-Fibo از مزایای یک سیستم عددی جدید بهره می‌برد که نه تنها تمام مسیرهای معکوس سه‌گانه را حذف می‌کند، در رنج وسیعی از عرض‌های شبکه روی تراشه کاربرد دارد.

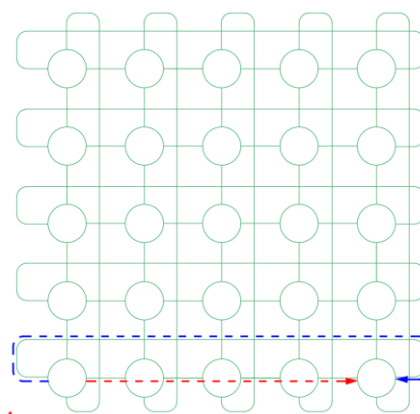
در [۱۳] یک توپولوژی به همراه الگوریتم مسیریابی اختصاصی براساس کوتاه‌ترین مسیر به سمت مقصد به نام PentaNOC ارائه شده است که دارای قابلیت مقیاس‌پذیری بالا، تعداد عبورهای کمتر از لینک‌ها، تعداد دورهای کمتر، قطر کوچک‌تر، تنوع بالای مسیرها و همچنین پهنای دوبخشی است. توپولوژی پیشنهاد شده براساس قرارگرفتن تعدادی از بلوک‌های پنج‌وجهی به صورت چیدمان آبشاری با تعداد زیادی از لینک‌ها تشکیل شده است که پنج‌وجهی‌ها را در سطوح مختلف به یکدیگر ارتباط می‌دهند. به علت انتخاب مسیرهای کوتاه برای رسیدن به مقصد، تأخیر بسته، کاهش و همچنین توان عملیاتی شبکه روی تراشه بهبود یافته است.

مقایسه شوند، مشخص است انتخاب مسیر شماره ۲ با عبور از تعداد مسیریاب‌های کمتری ما را به مقصد می‌رساند. به این ترتیب در پیاده‌سازی الگوریتم مسیریابی XY علاوه بر قواعد الگوریتم، باید به لینک‌های اضافه‌شده در همبندی توری مدور نیز توجه داشت. انجام این کار با یک مقایسه ساده انجام‌پذیر است. به این ترتیب که پیش از انتخاب پورت خروجی مدنظر، با در نظر گرفتن اختلاف بین مسیریاب فعلی و مسیریاب مقصد تصمیم می‌گیریم کدام مسیر را انتخاب کنیم.

نکته آخری که باید درباره طراحی مسیریاب در نظر گرفته شود، انتخاب سویچینگ مدنظر برای آن است. تکنیک‌های مربوط به سویچینگ شامل تصمیم‌گیری‌هایی است که در آن زمان و نحوه اتصالات بین ورودی‌ها و خروجی‌ها در مسیریاب‌های میانی تعیین می‌شود. همچنین این تصمیم‌گیری‌ها شامل مدت زمانی نیز می‌شود که در آن پیام‌ها می‌توانند از طریق مسیرهای تعیین شده منتقل شوند. سویچینگ wormhole امروزه به‌منزله یکی از رایج‌ترین انواع در پژوهش‌های مربوط به مسیریاب‌های شبکه روی تراشه شایان توجه قرار گرفته است [۱۸]. در این روش برخلاف حالت سویچینگ بسته‌ای، لزومی ندارد ابتدا کل بسته به‌صورت کامل دریافت، سپس عملیات مسیریابی برای آن انجام شود. در این روش یک مسیریاب می‌تواند عملیات ارسال مربوط به سرآیند و سایر بیت‌های داده‌ای را به‌محض اتمام عملیات مسیریابی و در صورت وجود بافر خالی در پورت خروجی انتخاب‌شده انجام دهد. به این ترتیب دیگر لزومی ندارد بسته‌ها در بافرهای خروجی ذخیره شوند و بلافاصله درون بافرهای ورودی، گره بعدی قرار می‌گیرند. در این روش تنها سرآیند است که زمان تصمیم‌گیری برای مسیریابی و زمان تأخیر مربوط به سویچینگ را در هر مسیریاب حس می‌کند. این امر بدین علت است که انتقال به‌صورت پایپ‌لاین انجام می‌گیرد و پس از ارسال سرآیند، فیلتهای بعدی پشت سر هم (البته در صورت نبود بن‌بست در مسیریاب‌های پیشرو) ارسال می‌شوند. در این روش در هر لحظه از زمان یک بسته مسدودشده درون چندین مسیریاب، بافر می‌شود؛ زیرا سائز بافرها معمولاً از سائز یک بسته کمتر است. تفاوت اساسی این روش با روش مشابه



(الف)



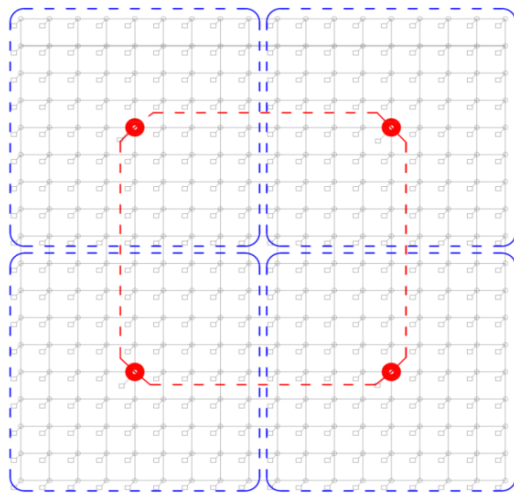
(ب)

شکل (۱): همبندی توری در مقابل همبندی توری مدور

نکته درخور تأمل دیگر در یک مسیریاب شبکه روی تراشه، الگوریتم مسیریابی مربوط به آن است؛ برای مثال، الگوریتم مسیریابی XY به‌علت سادگی در پیاده‌سازی و همچنین عاری از بن‌بست بودن، در بیشتر طراحی‌ها و آزمایش‌های مربوط به شبکه روی تراشه شایان توجه قرار گرفته است [۱۶] و [۱۷]. در واقع بر طبق این الگوریتم، ابتدا حرکت در بعد افقی انجام می‌گیرد و پس از اتمام آن، حرکت در جهت عمودی شکل می‌پذیرد. برای استفاده از لینک‌های اضافه‌شده در همبندی توری مدور در مقایسه با همبندی توری، تغییراتی در نحوه پیاده‌سازی الگوریتم مسیریابی XY لازم است که در ادامه توضیح داده شده است.

با توجه به شکل (۱)، بهره‌گیری از همبندی توری مدور، علاوه بر اینکه موجب همسان‌شدن تمامی مسیریاب‌های درون شبکه از لحاظ تعداد پورت‌ها می‌شود، قابلیت کاهش فاصله برخی از مسیریاب‌ها را نیز دارد؛ برای نمونه، اگر دو مسیر نشان داده شده در شکل ۱-الف با هم

الگوریتم مسیریابی XY برای ارسال اطلاعات استفاده می‌شود؛ اما در صورتی که مقصد فاصله زیادی از مبدأ داشته باشد، ابتدا بسته به مسیریاب مرکزی ناحیه خود ارسال می‌شود، سپس به مسیریاب مرکزی ناحیه مقصد و در نهایت به مقصد ارسال می‌شود.



شکل (۳): تقسیم شبکه روی تراشه ۱۸×۱۸ به ناحیه‌های ۹×۹

شکل (۳) یک شبکه روی تراشه ۱۸×۱۸ را نشان می‌دهد که به ناحیه‌های ۹×۹ تقسیم شده است. هر کدام از این نواحی از یک مسیریاب بزرگ‌تر در مرکز خود بهره می‌برند که مستقیماً به مسیریاب‌های مرکزی ناحیه‌های همسایه متصل‌اند. شبه‌کد مسیریاب مرکزی نواحی در شکل (۴) نشان داده شده است.

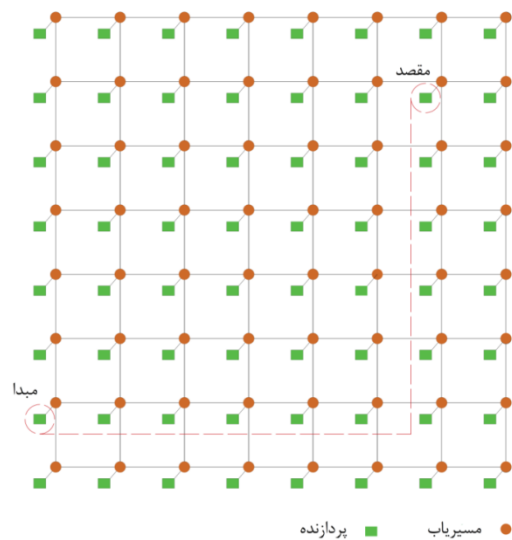
```

Step 1: Wait packets
Step 2: Receive packet
IF (destination address is equal to current address)
Send the packet to local PE and return to Step 1
ELSE
Go to Step 3
END IF
Step 3: Short Path
IF (destination address and current address are in same zone)
According to XY routing, send the packet to destination PE and return to Step 1
ELSE
Go to Step 4
END IF
Step 4: Long Path
Determine the Characteristic Number
    
```

VCT در آن است که در اینجا، واحد کنترل جریان یک تک فلیت است؛ بنابراین با سایزهای کوچک‌تر استفاده می‌شوند و توان مصرفی نیز کاهش می‌یابد [۱۹] و [۲۰].

۳- شبکه روی تراشه پیشنهاد شده

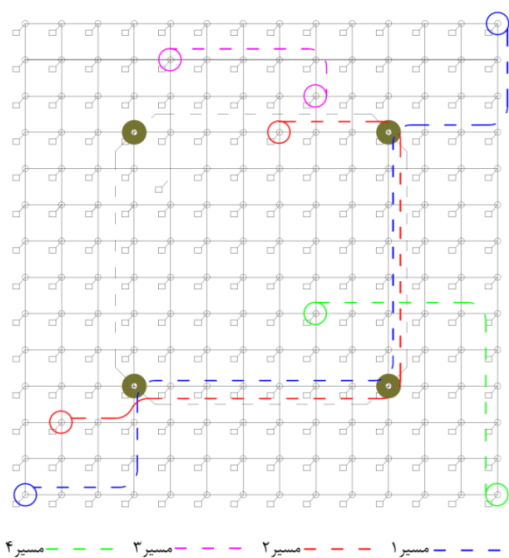
شکل (۲) یک شبکه روی تراشه وسیع با همبندی توری را نشان می‌دهد. مشکل اصلی همبندی توری قطر شبکه است که تأثیری منفی در لختی آن دارد و باعث بالا بودن تأخیر در ارسال بسته‌هایی می‌شود که فاصله زیادی تا مقصد دارند و علاوه بر آن، به علت عبور بسته از لینک‌ها و مسیریاب‌های زیاد، امکان دچار شدن به خطا در بسته و از بین رفتن آن بیشتر می‌شود؛ برای مثال، در شکل (۲) بسته برای رسیدن به مقصد باید از ۱۱ لینک عبور کند. با کاهش تعداد لینک‌های عبوری بسته، امکان مواجه شدن با لینک معیوب کاهش می‌یابد و شبکه مطمئن‌تر خواهد شد. علاوه بر آن، مسیر کوتاه می‌شود و زمان مسیریابی در مسیریاب‌ها کاهش می‌یابد که موجب کاهش تأخیر و در نهایت کاهش توان مصرفی می‌شود.



شکل (۲): همبندی توری شبکه روی تراشه ۸×۸

پیشنهاد ارائه شده، کاهش تعداد لینک‌های عبوری در شبکه‌های بزرگ است؛ به نحوی که شبکه بزرگ به نواحی مجزای متشکل از شبکه‌های کوچک‌تر، تقسیم و هر کدام از نواحی دارای یک مسیریاب مرکزی شوند. با توجه به مسیر بسته، اگر مبدأ و مقصد به یکدیگر نزدیک باشند، از

با توجه به کاربرد شبکه روی تراشه و اینکه چه ابعادی داشته باشد، اندازه ناحیه‌ها تعیین می‌شود و با توجه به اندازه ناحیه‌ها مشخص می‌شود مسیری که بسته باید طی بکند، کوتاه است یا بلند. اگر مسیر کوتاه باشد، مسیر با استفاده از الگوریتم XY مشخص می‌شود و در صورتی که مبدأ و مقصد در دو ناحیه مجزا و مسیر بلند باشد، بسته برای مسیریابی ابتدا به مسیریاب مرکزی ناحیه مبدأ، سپس به مسیریاب مرکزی ناحیه مقصد و در نهایت به گره مقصد ارسال می‌شود.

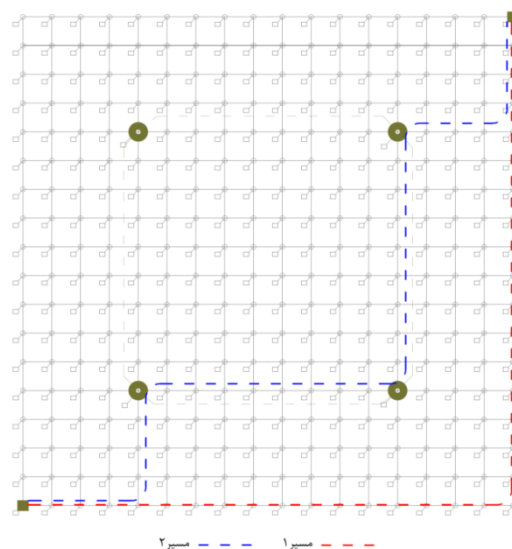


شکل (۴): شبکه کد مسیریاب مرکزی

```

according NOC size
IF (Characteristic Number  $\leq$  |X destination- X Source| & |Y destination- X Source|)
According to XY routing, send the packet to source central switch
Send the packet to destination central switch
According to XY routing, send the packet to destination PE and return to Step 1
ELSE IF (|X destination- X Source| or |Y destination- X Source|  $\leq$  2  $\times$  Zone Size)
According to XY routing, send the packet to source central switch
Send the packet to destination central switch
According to XY routing, send the packet to destination PE and return to Step 1
ELSE
According to XY routing, send the packet to district PE and return to Step 1
END IF
Step 5: return to Step 1.
    
```

با توجه به شکل (۵)، بسته در صورت استفاده از الگوریتم مسیریابی معمول XY از مسیر ۱ به مقصد ارسال می‌شود و به عبور از ۳۴ لینک نیاز دارد؛ در صورتی که تعداد عبور از لینک‌ها در روش پیشنهادی که از مسیر ۲ استفاده می‌شود، ۱۶ عدد کاهش می‌یابد و این یعنی کاهش تأخیر، توان مصرفی و افزایش اطمینان‌پذیری و کارایی شبکه. با کم شدن تعداد لینک‌های عبوری، کارایی بالاتر الگوریتم پیشنهادی در شبکه‌های بزرگ‌تر مشهودتر است.



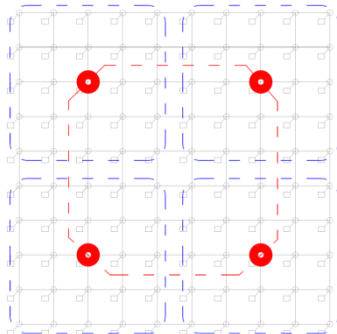
شکل (۵): مسیر طی شده در شبکه روی تراشه ۱۸x۱۸ با الگوریتم مسیریابی XY و پیشنهادی

شکل (۶) یک شبکه ۱۴x۱۴ را نشان می‌دهد. هر ناحیه باید شبکه‌ای مربع با تعداد گره‌های فرد باشد. این شبکه به ۴ ناحیه ۷x۷ تقسیم شده است که در وسط هر ناحیه یک مسیریاب مرکزی وجود دارد؛ برای مثال، مسیریاب مرکزی ناحیه یک در گره (۳و۳) قرار دارد؛ در صورتی که بسته‌ای بخواهد از مسیریاب‌های مرکزی ناحیه‌ها استفاده کند، ابتدا باید شرط متفاوت بودن ناحیه مبدأ و مقصد چک شود و در صورتی که مبدأ و مقصد در دو ناحیه مجزا باشند، باید هر دو فاصله X و Y مبدأ و X و Y مقصد فاصله‌ای بیشتر یا مساوی عدد مشخصه متناسب با اندازه شبکه را داشته باشند. عدد مشخصه با توجه به اندازه شبکه از روش زیر محاسبه می‌شود:

ناحیه مبدأ و مقصد چک می‌شود، سپس فاصله X و Y مبدأ با X و Y مقصد محاسبه می‌شود. فاصله X ها ۶ و فاصله Y ها ۸ عدد است که هر دو بزرگ‌تر از ۵ هستند؛ بنابراین مسیر بلند محسوب می‌شود و بسته می‌تواند از مسیرهای مرکزی ناحیه‌ها مطابق شکل (۶) استفاده کند و باید از ۸ لینک عبور کند؛ اما در صورت مسیریابی از روش معمول XY ، بسته مجبور به عبور از ۱۴ لینک است.

مسیر ۳ قصد ارسال بسته را از گره (۱۲ و ۴) به گره (۱۱ و ۸) دارد. با توجه به اینکه مبدأ و مقصد در دو ناحیه مجزا قرار گرفته‌اند، شرط فاصله X و Y مبدأ با X و Y مقصد بررسی می‌شود که برقرار نیست و مسیر کوتاه محسوب می‌شود؛ بنابراین مسیریابی از الگوریتم معمول XY پیروی می‌کند.

مسیر ۴ قصد ارسال بسته را از گره (۱۳ و ۰) به گره (۵ و ۸) دارد. با توجه به اینکه مبدأ و مقصد در یک ناحیه قرار دارند، مسیریابی از الگوریتم معمول XY پیروی می‌کند.



شکل (۸): حداقل اندازه شبکه یک ناحیه 5×5 برای شبکه روی تراشه 10×10

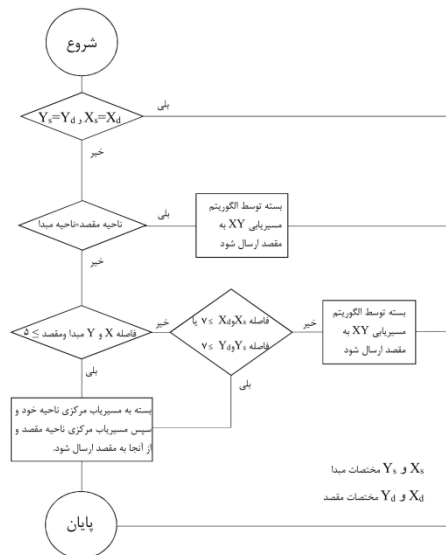
حداقل اندازه شبکه یک ناحیه برای تقسیم‌بندی یک شبکه بزرگ روی تراشه به نواحی دارای مسیریاب مرکزی، شبکه مربعی 5×5 است و در شبکه کوچک‌تر از آن، که شبکه 3×3 است، امکان استفاده از مسیریاب مرکزی وجود ندارد. شکل (۸) یک شبکه 10×10 را نمایش می‌دهد که از نواحی 5×5 تشکیل شده است.

شکل (۹) مقایسه‌ای بین تعداد لینک‌های عبوری یک بسته برای رسیدن به مقصد در دو الگوریتم معمول XY و الگوریتم پیشنهاد شده را نشان می‌دهد. همان‌طور که مشاهده

$$CN = \left(\frac{NS}{2}\right) - 2 \quad (1)$$

که در آن CN عدد مشخصه و NS اندازه شبکه روی تراشه است.

در این شبکه روی تراشه 14×14 ، مقدار عدد مشخصه ۵ است. پس باید هر دو فاصله X و Y مبدأ و X و Y مقصد فاصله‌ای بیشتر یا مساوی ۵ داشته باشند که در این صورت فاصله مبدأ و مقصد بسته، بلند و در غیر این صورت فاصله کوتاه محسوب می‌شود. روند الگوریتم به صورت فلوجات در شکل ۷ نشان داده شده است.



شکل (۷): فلوجات الگوریتم پیشنهادی

با توجه به شکل (۶)، اگر بسته‌ای (بسته ۱) بخواهد با الگوریتم مسیریابی معمولی XY از گره (۰ و ۰) به گره (۱۳ و ۱۳) ارسال شود، باید از ۲۶ لینک عبور کند؛ درحالی‌که در صورت استفاده از الگوریتم پیشنهادی با توجه به تفاوت ناحیه مبدأ و مقصد، ابتدا فاصله X و Y مبدأ با X و Y مقصد محاسبه می‌شود که مقدار فاصله هر دوی آنها ۱۳ و بزرگ‌تر از ۵ است؛ بنابراین از مسیریاب‌های مرکزی ناحیه‌ها استفاده می‌شود و تعداد لینک‌های عبوری به ۱۴ عدد کاهش می‌یابد. کاهش تعداد لینک‌های عبوری به کاهش تأخیر و توان مصرفی و افزایش اطمینان‌پذیری منجر می‌شود (تعداد کمتری مسیریاب درگیر مسیریابی می‌شوند).

مطابق مسیر ۲ در شکل (۶)، اگر یک بسته بخواهد از گره (۱۲ و ۰) به گره (۷ و ۱۰) ارسال شود، ابتدا شرط مجزایودن

۴- بررسی پارامترهای الگوریتم پیشنهاد شده

پارامترهای مختلفی نشان‌دهنده عملکرد یک الگوریتم مسیریابی هستند؛ اما با توجه به اینکه هدف این مقاله رسیدن به شبکه روی تراشه تحمل‌پذیر خطا با کمترین افزونگی و پیچیدگی‌های اضافه‌شده به شبکه است، پارامترهایی از قبیل قابلیت اطمینان، سربار مساحت، سربار توان مصرفی و تأخیر ارزیابی می‌شوند.

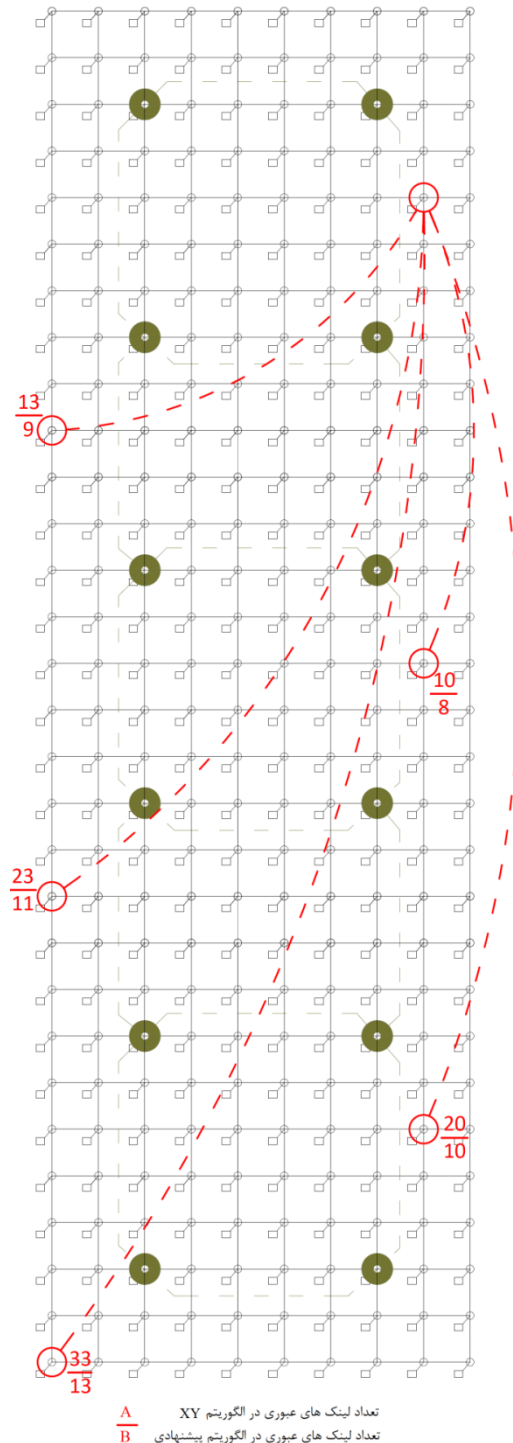
۴-۱- قابلیت اطمینان

تحمل‌پذیری خطا، قابلیت اطمینان الگوریتم را در مسیریابی بسته‌ها با وجود خطای دائمی و گذرا ارزیابی می‌کند. خطاهای دائمی در هر شرایطی ایجاد می‌شوند و ممکن است بر یک یا چند ناحیه تأثیر بگذارند. این نوع خطاها به دلیل عیب‌های فیزیکی ایجاد می‌شوند یا هنگام استفاده از تراشه رخ می‌دهند. خطاهای دائمی متفاوت، اثرات متفاوتی نیز دارند. در مقابل خطاهای دائمی، خطاهای گذرا وجود دارند که تنها برای مدت زمان معین وجود دارند؛ هرچند ممکن است به صورت مستمر آشکار و ناپدید شوند. خطاها هم در مسیریاب‌ها و هم در لینک‌های شبکه رخ می‌دهند.

الگوریتم پیشنهادی به دلیل کاهش مسیر بسته‌ها و همچنین عبور از لینک‌ها و مسیریاب‌های کمتر، ذاتاً دارای قابلیت اطمینان بالاتری نسبت به الگوریتم‌های معمول است؛ درحالی‌که قابلیت تشخیص و تصحیح خطا ندارد (این الگوریتم قابلیت اضافه‌کردن مدارات تشخیص و تصحیح مدار در مسیرهای بلند را دارد؛ اما با توجه به اینکه هدف این روش بهبود کارایی و قابلیت اطمینان با کمترین افزونگی‌ها و پیچیدگی‌های مداری است، به آن اضافه نشده است)؛ اما با توجه به تغییر مسیر بسته به مسیر کوتاه‌تر، امکان دورزدن نواحی معیوب برای بسته‌های با مسیر بلند وجود دارد؛ از این رو فقط خطاهایی اعم از دائمی و گذرا تحمل‌پذیرند که در مسیر عبوری جدید بسته نباشند.

در شبیه‌سازی این نقص‌ها با معیوب‌کردن برخی از لینک‌ها، به صورت تصادفی به سیستم تزریق می‌شوند.

می‌شود در شبکه‌های بزرگ‌تر، تعداد لینک‌های عبوری کاهش بیشتری دارند و این نشان‌دهنده توان عملیاتی بالاتر الگوریتم پیشنهادی در شبکه‌های بزرگ است.



شکل (۹): مقایسه لینک‌های عبوری بسته در الگوریتم مسیریابی XY و الگوریتم پیشنهادی

۴-۲- سربار مساحت

الگوریتم پیشنهادی، تعداد لینک و مسیریاب عبوری برای این بسته‌ها کاهش می‌یابد و موجب کاهش تأخیر رسیدن بسته‌ها به مقصد می‌شود.

در این روش، همبندی شبکه روی تراشه به صورت توری انجام می‌شود؛ با این تفاوت که شبکه بزرگ به تعدادی زیر شبکه تقسیم می‌شود که هر یک از آنها یک مسیریاب مرکزی دارند که دارای تفاوت‌هایی با مسیریاب‌های معمول‌اند که در این شبکه به کار رفته‌اند. برخلاف مسیریاب‌های معمول که دارای ۵ پورت‌اند (یک پورت محلی و چهار پورت برای چهار جهت مسیریابی)، مسیریاب مرکزی دارای ۹ پورت خروجی است که یک پورت برای اتصال به پردازنده محلی، چهار پورت برای اتصال به مسیریاب‌های معمول اطراف و چهار پورت برای اتصال به مسیریاب‌های مرکزی ناحیه‌های چهار طرف تعبیه شده‌اند؛ بنابراین، برای بالابردن قابلیت اطمینان در شبکه روی تراشه مساحت اضافه‌شده به شبکه روی تراشه معمول فقط لینک‌های اتصال مسیریاب‌های مرکزی ناحیه‌ها به یکدیگر و مسیریاب‌های مرکزی ناحیه‌ها است. این سربار مساحت در شبکه‌های روی تراشه با اندازه بزرگ، چشم‌پوشی می‌شود.

۴-۳- سربار توان مصرفی

۵- نتایج شبیه‌سازی

شبیه‌سازی با شبیه‌ساز Noxim انجام شده است که قابلیت مدیریت و تزریق اشکال به آن افزوده شد. این شبیه‌ساز برخلاف شبیه‌سازهای دیگر در زمینه شبکه به صورت اختصاصی برای کار روی شبکه روی تراشه طراحی شده است. شبیه‌ساز یادشده نرم‌افزار متن باز است و یکی از امکانات آن، قابلیت تعریف و ایجاد الگوریتم‌های مسیریابی در متن برنامه است.

الگوریتم پیشنهادی، الگوریتم مسیریابی XY به‌عنوان الگوریتم معمول برای شبکه روی تراشه و همچنین الگوریتم‌های HCCR، Pull Off Buffer و Penta NOC با اندازه 14×14 شبیه‌سازی شده‌اند. طول فلیت ۳۲ بیت، طول بسته ۸ فلیت و اندازه بافر ورودی ۸ فلیت در نظر گرفته شده است. در شبیه‌سازی، هر تکرار به مدت ۱۱۰۰۰ سیکل اجرا شده و در هر بار تکرار، یک یا چند اشکال تصادفی به شبکه تزریق شده است.

توان در شبکه روی تراشه با مسیریاب‌ها مصرف می‌شود. توان مصرفی در روش پیشنهادی همانند شبکه روی تراشه معمول است؛ با این تفاوت که مسیریاب‌های مرکزی ناحیه‌ها به دلیل پیچیدگی، تعداد پورت و بافر بیشتر و همچنین ترافیک بالاتر دارای مصرف توان بالاتری نسبت به مسیریاب‌های ساده شبکه روی تراشه‌اند؛ اما با توجه به پایین بودن تعداد این مسیریاب‌ها در شبکه‌های بزرگ به نسبت مسیریاب‌های ساده و همچنین بیکار بودن تعداد زیادی از مسیریاب‌های ساده در ازای استفاده از مسیریاب‌های مرکزی ناحیه‌ها، توان مصرفی کاهش پیدا خواهد کرد.

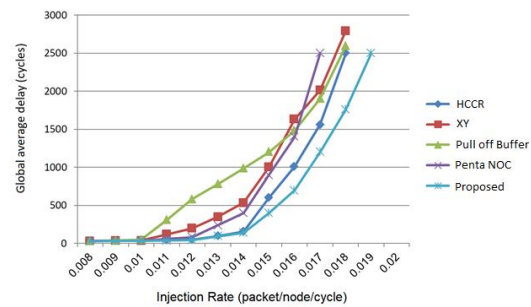
۵-۱- ارزیابی میانگین تأخیر بسته

میانگین تأخیر یک پیغام، میانگین زمانی است که طول می‌کشد تا یک پیغام تولید، آماده ارسال شود و به مقصد برسد. این زمان بسیار وابسته به الگوریتم مسیریابی، ترافیک شبکه و عواملی از این قبیل است. روند افزایش میانگین تأخیر بسته زمانی که نرخ تزریق بسته افزایش داده می‌شود، با یک منحنی نشان داده می‌شود. همان‌طور که در شکل (۱۰) مشاهده می‌شود میانگین تأخیر الگوریتم پیشنهادی در ترافیک یکنواخت با نرخ‌های مختلف تزریق داده از دیگر الگوریتم‌ها کمتر است و این به علت کوتاه شدن مسیر پیموده‌شده با برخی از بسته‌ها است.

۴-۴- تأخیر

بسته‌ها با مسیرهای بلند برای رسیدن به مقصد از تعداد زیادی لینک و مسیریاب عبور می‌کنند؛ درحالی‌که در

STMICRO 90nm با فرکانس کاری یک گیگاهرتز و ولتاژ منبع تغذیه ۱/۲ ولت بهره گرفته شده است. در الگوریتم پیشنهادی با توجه به کوتاه شدن مسیر برخی بسته‌ها و عبور از مسیرهای کمتر، توان مصرفی کاهش یافته است و این در حالی است که تحمل پذیر شدن یک شبکه روی تراشه در برابر خطا نیازمند هزینه‌هایی از قبیل توان مصرفی با مقدار شایان توجه است.



شکل (۱۰): میانگین تأخیر بسته در شبکه با اندازه ۱۴×۱۴

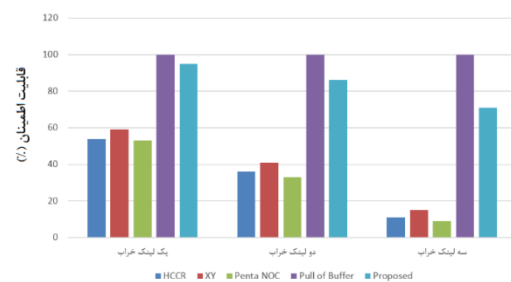
جدول (۱): مقایسه توان مصرفی در شبکه‌های روی تراشه مختلف

مدارات مختلف	توان مصرفی (mW)
HCCR	۳۸
XY	۴۰/۹
Pull of Buffer	۴۲/۳
Penta NOC	۳۹
شبکه روی تراشه پیشنهاد شده	۳۸

۲-۵- ارزیابی قابلیت اطمینان

برای اندازه‌گیری قابلیت اطمینان، تعداد لینک‌های خراب از یک تا سه به صورت تصادفی به شبکه اعمال شده‌اند. اگر همه بسته‌های تولید شده به مقصد نرسند، شبکه اطمینان پذیر نیست. به عبارت دیگر، اگر حتی یک بسته به مقصد نرسد، شبکه اطمینان‌ناپذیر به حساب آورده نمی‌شود. نتیجه مقایسه انجام شده در شکل (۱۱)، با استفاده از ۱۰۰۰۰ تکرار تحت ترافیک تصادفی با نرخ تزریق ۰/۰۰۸ بسته در هر گره در هر پالس ساعت به دست آمده است.

با توجه به شکل (۱۱)، پس از الگوریتم Pull of Buffer که کاملاً اطمینان‌پذیر است، الگوریتم پیشنهادی قابلیت اطمینان بیشتری نسبت به دیگر الگوریتم‌ها دارد و هرچه تعداد اشکال‌ها بیشتر می‌شود، این اختلاف افزایش می‌یابد.



شکل (۱۱): مقایسه قابلیت اطمینان الگوریتم‌های مختلف

۶- نتیجه‌گیری

با توجه به اینکه در حال حاضر اصلی‌ترین نگرانی در زمینه شبکه‌های روی تراشه، قابلیت اطمینان بالا در عملکرد مطلوب شبکه است، یک شبکه روی تراشه با عملکرد بالا و تحمل‌پذیر خطا پیشنهاد شد که برای رسیدن به این هدف از کاهش تعداد لینک‌های عبوری یک بسته برای رسیدن به مقصد بهره می‌برد. با کاهش تعداد لینک‌های عبوری، تعداد مسیرهای نیز کاهش می‌یابد و در نهایت موجب کاهش توان مصرفی، عملکرد بهتر شبکه، کاهش احتمال برخورد با لینک و مسیرهای معیوب و کاهش تأخیر شبکه می‌شود.

مراجع

- [1] Tatas, K., Siozios, K., Soudris, D., Jantsch, A., Designing 2D and 3D Network-on-Chip Architectures, Springer Publishing, 2014.
- [2] Theocharides, T., Link, G., Vijaykrishnan, N., Irwin, M., Networks on Chip (NoC): Interconnects of Next Generation Systems on Chip, Advances in Computers, Vol. 63, pp. 35-89, 2005.

۳-۵- ارزیابی توان مصرفی

جدول (۱) توان مصرفی الگوریتم‌های مقایسه‌شده را نشان می‌دهد. برای اندازه‌گیری توان مصرفی از کتابخانه

- Avoidance Codec Design for NoCs, *Microprocessors and Microsystems*, Vol. 50, pp. 127-137, 2017.
- [13] Boudelloua, A., Alzeidi, N., PentaNoc: A New Scalable and self-similar NoC Architecture, *Procedia Computer Science*, Vol. 134, pp. 358-364, 2018.
- [14] Attia, S., Fahmy, H., Ismail, Y., Mostafa, H., Optimizing FPGA-based hard networks-on-chip by minimizing and sharing Resources, *Integration, the VLSI journal*, Vol. 63, pp. 138-147, 2018.
- [15] Marcon, C., Webber, T., Fernandes, R., Cataldo, R., Grando, F., Poehls, L., Benso, A., Tiny - optimised 3D mesh NoC for area and latency minimisation, *Electronics Letters*, Vol. 50, Issue: 3, pp. 165 – 166, 2014.
- [16] Wang, L., Ma, S., Li, C., Chen, W., Wang, Z., A High Performance Reliable NoC Router, *21st Asia and South Pacific Design Automation Conference (ASP-DAC)*, Macau, China, Jan. 2016.
- [17] Rambo, E. A., Seitz, C., Saidi, S., Ernst, R., Designing Networks on-Chip for High Assurance Real-Time Systems, in *Pacific Rim International Symposium on Dependable Computing (PRDC)*, Christchurch, New Zealand, 2017.
- [18] Charif, A., Coelho, A., Ebrahimi, M., Bagherzadeh, N., Eddi, N., First-Last: A Cost-Effective Adaptive Routing Solution for TSV-Based Three-Dimensional Networks-on-Chip, *IEEE Transactions on Computers*, Vol. 67, Issue: 10, pp. 1430 – 1444, 2018
- [19] Liu, L., Ma, R., Zhu, Z., An encapsulated packet-selection routing for network on chip, *Microelectronics Journal*, Vol. 84, pp. 96-105, 2019.
- [20] Venkataramana, N.L., Kumar, R., Design and analysis of application specific network on chip for reliable custom topology, *Computer Networks*, Available online 5 April 2019, In Press, Accepted Manuscript.
- [3] Cidon, I., NoC: Network or Chip?, *IEEE, First International Symposium on Networks-on-Chip (NOCS'07)*, May 2007.
- [4] Gindin, R., Cidon, I., Keidar, I., NoC-Based FPGA: Architecture and Routing, *IEEE, First International Symposium on Networks-on-Chip (NOCS'07)*, May 2007.
- [5] Kia, H., Ababei, C., Improving Fault Tolerance of Network-on-Chip Links via Minimal Redundancy and Reconfiguration, *International Conference on Reconfigurable Computing and FPGAs*, 2011.
- [6] Kadri, N., Koudil, M., A survey on fault-tolerant application mapping techniques for Network-on-Chip, *Journal of Systems Architecture*, Vol. 92, pp. 39-52, 2019.
- [7] Kumar, S., Leuken, R. V., A 3D network on chip for stacked-die transactional chip multiprocessors using through silicon VIAS, *IEEE, 6th International Conference on Design & Technology of Integrated Systems in Nanoscale Era (DTIS)*, April 2011.
- [8] Shao t, A., Wang, D., Wang, H., Pull-Off Buffer: Borrowing Cache Space to Avoid Deadlock for Fault-Tolerant NoC Routing, *IEEE 34th International Conference on Computer Design (ICCD)*, Scottsdale, AZ, USA, Oct. 2016.
- [9] Berestizshevsky, K., Even, G., Fais, Y., Ostrometzky, J., SDNoC: Software Defined Network on a Chip, *Microprocessors and Microsystems*, Vol. 50, pp. 138-153, 2017.
- [10] Poluri, P., Louri, A., Shield: A Reliable Network-on-Chip Router Architecture for Chip Multiprocessors, *IEEE Transaction on parallel and distributed systems*, Vol. 27, No. 10, pp. 3058-3070, OCTOBER 2016.
- [11] Inam, O., Al Khanjari, S., Vanderbauwhede, W., Shortest Path Routing Algorithm for Hierarchical Interconnection Network-on-Chip, *Procedia Computer Science*, Vol. 56, pp. 409-414, 2015.
- [12] Shirmohammadi, Z., Mozafari, F., Miremadi, S. G., An Efficient Numerical-Based Crosstalk

