

طرح جدیدی برای اینورتور متوالی چند سطحی بدون ترانسفورماتور به منظور اتصال منابع تولید پراکنده به شبکه با قابلیت جبران سازی هارمونیک‌های جریان بار

مزدک عبادی^۱، محمود جورابیان^۲ و جواد شکرالهی مغانی^۳

۱- استادیار، دانشکده مهندسی، گروه مهندسی برق- دانشگاه اراک- اراک- ایران

m-ebadi@araku.ac.ir

۲- استاد، گروه برق و الکترونیک- دانشکده مهندسی- دانشگاه شهید چمران اهواز - اهواز- ایران

mjoorabian@scu.ac.ir

۳- دانشیار، دانشکده مهندسی برق- دانشگاه صنعتی امیرکبیر - تهران- ایران

moghani@aut.ac.ir

چکیده: در این مقاله، یک توپولوژی جدید برای مدار اینورتور چند سطحی با اتصال متوالی معرفی می‌شود که برای اتصال منابع تولید پراکنده به شبکه بدون نیاز به ترانسفورماتور به کار می‌رود. به طور معمول طراحی چنین مدارهایی بر اساس قابلیت تزریق جریان و توان به شبکه، حداقل سازی هارمونیک‌های جریان خروجی، و برخی قيود فیزیکی نظیر جداسازی منابع تولید پراکنده از شبکه طراحی می‌شوند. مدار پیشنهاد شده در این مقاله می‌تواند علاوه بر تزریق ماکزیمم توان اکتیو ممکن، برخی هارمونیک‌های شاخص جریان بار را نیز (همچون فیلتر فعال) جبران کند. از آنجا که مقدار مآثر جریان خروجی اینورتور محدود است، جبران‌سازی هارمونیک‌ها باعث کاهش ظرفیت توان اکتیو تولیدی می‌شود. به این ترتیب کنترل کننده مناسب برای تعیین نقطه کار بهینه سیستم مورد نیاز است که در اینجا یک کنترل کننده فازی برای این کار پیشنهاد می‌شود. مدار طراحی شده ابتدا توسط نرم افزار Matlab/Simulink شبیه‌سازی و ارزیابی می‌شود. سپس، یک نمونه عملی آزمایشگاهی و ظرفیت پایین این مدار آزمایش عملی می‌شود. تمامی نتایج شبیه‌سازی و آزمایشگاهی گویای عملکرد قابل قبول این سیستم در هر دو حالت خطی و غیر خطی بودن بار است.

واژه‌های کلیدی: اینورتورهای چندسطحی متوالی، اینورتورهای بدون ترانسفورماتور، جبران‌سازی هارمونیک، کنترل کننده منطبق فازی.

۱- مقدمه

یا سلول‌های خورشیدی، اتصال آن‌ها به شبکه برق و مسائل پیرامون آن بسیار مورد توجه است. به طور معمول یک اینورتور ۳ فاز برای اتصال منابع تولید پراکنده به شبکه، به عنوان واسط استفاده می‌شود. هدف اصلی در اینجا کنترل ولتاژ و جریان خروجی اینورتور است. این مدارها معمولاً در سمت ورودی از یک فیلتر LC استفاده می‌کنند که از یک خازن ظرفیت بالا و یک سلف کوچک، به ترتیب برای حذف ریبیل ولتاژ و جریان ورودی استفاده می‌کنند. در پشت این فیلتر معمولاً از منابع تولید پراکنده به عنوان منبع تغذیه

در سال‌های اخیر با افزایش روزافزون نیاز به منابع تجدیدپذیر تولید انرژی الکتریکی، نظیر مزارع انرژی بادی و

^۱ تاریخ ارسال مقاله: ۱۳۹۲/۰۲/۲۱

تاریخ پذیرش مقاله: ۱۳۹۳/۰۳/۱۱

نام نویسنده مسئول: مزدک عبادی

نشانی نویسنده مسئول: ایران - اهواز - بلوار گلستان - دانشگاه شهید چمران اهواز - دانشکده مهندسی - گروه برق و الکترونیک

استفاده می‌شود که در صورت AC بودن ولتاژ و جریان آن، یک مدار یکسوساز نیز مورد نیاز است.

در مدارهای چند سطحی متوالی، چند اینورتور پل H تک‌فاز، در خروجی به صورت سری به هم متصل می‌شوند تا ولتاژ آن‌ها با یکدیگر جمع زده شود، و در سمت ورودی با منابع جدا از هم تغذیه می‌شوند. هر یک از این پل‌های اینورتوری معمولاً توسط یک ترانسفورماتور و یک پل دیودی به همراه یک فیلتر LC تغذیه می‌شود (وقتی منبع اصلی AC باشد). در این حالت امپدانس سیم پیچ‌های ترانس و حد اشباع جریان آن، جریان ورودی به لینک DC را محدود و نقش جدا کننده منبع از شبکه را ایفا می‌کند.

پس از جمع زدن ولتاژهای تولید شده در سمت خروجی، ولتاژ نهایی تولید شده از طریق ترانس دیگری به شبکه تزریق می‌شود. این ترانسفورماتور (که معمولاً در حالت سه فاز از اتصال مثلث به ستاره بهره می‌برد) علاوه بر تنظیم سطح ولتاژ، هارمونیک‌های جریانی را نیز تا حد زیادی بهبود می‌دهد.

بنابراین، برای یک اینورتور ۷ سطحی (برای مثال) که از ۳ پل H در هر فاز اینورتور استفاده می‌کند، ۹ ترانس تک‌فاز کوچکتر در سمت ورودی و یک ترانس ۳ فاز بزرگتر در سمت خروجی مورد نیاز است، که به طور مشخص گاهی مقرون به صرفه نیست. شایان ذکر است در صورتی که از منابع DC (برای مثال از سلول‌های خورشیدی) به عنوان منبع استفاده شود، در سمت ورودی نیاز به ترانسفورماتور وجود نخواهد داشت، به این ترتیب استفاده از اینورتورهای چند سطحی توجیه بیشتری خواهد داشت.

به این ترتیب طراحی یک اینورتور بدون ترانسفورماتور که خروجی را تنها به واسطه یک امپدانس به شبکه تزریق می‌کند در سال‌های اخیر موضوع پژوهش بسیاری بوده است. قیود اصلی در طراحی چنین مدارهایی، محدود کردن مسیره‌های جریان نشستی، بازده کلی مدار، و محتوای هارمونیک‌های جریان خروجی است. در مقاله‌های مختلف طرح‌های متعددی پیشنهاد شده است که بیشتر برای اتصال سلول‌های خورشیدی به شبکه به کار رفته‌اند و در بیشتر آن‌ها حداقل ساختن جریان گردشی هدف اصلی بوده است [۱-۶]. در [۷] الگوریتم کنترلی بنام مدولاسیون پهنای

پالس دو فرکانس پیشنهاد شده که می‌تواند مولفه‌های فرکانس بالای جریان خروجی اینورتور بدون ترانس را به حداقل برساند. یک طرح اینورتور بهینه شده نیز در [۸] پیشنهاد شده که مسیری برای جریان گردشی را در زمان تغییرات کلید زنی اینورتور فراهم می‌کند. در [۹] طرحی جدید برای اینورتور بدون ترانس پیشنهاد شده که دو سلف جداگانه برای استفاده در دو نیم سیکل جریان پیشنهاد می‌دهد. به این ترتیب مسیر جریان در هر دو نیم سیکل از هم جدا شده و جریان‌های گردشی به حداقل می‌رسد. در [۱۰] دو روش مختلف مدولاسیون پهنای پالس برای کنترل کلید زنی اینورتورهای بدون ترانسفورماتور، بر اساس هارمونیک‌های جریان خروجی با هم مقایسه شده است. طرحی برای انتخاب مناسب ترین قطعات برای مدار در [۱۱] پیشنهاد شده است تا هزینه مدار نهایی را نسبت به توان تولیدی آن به حداقل برساند. در [۱۲] روشی برای حذف مولفه DC جریان خروجی اینورتورهای بدون ترانسفورماتور پیشنهاد شده است. استفاده از دو مسیر جداگانه برای دو نیم سیکل جریان به هدف حداقل سازی جریان‌های گردشی در [۱۳] نیز پیشنهاد شده است. در [۱۴] طرحی جدید بر اساس استفاده از لینک DC به فرم Z-Source پیشنهاد شده است که جریان‌های نشستی را به حداقل می‌رساند. در چنین طرحی دو دیود بازیابی سریع به مدار پایه ای اضافه شده است. در [۱۵] چند طرح مختلف اینورتورهای بدون ترانسفورماتور بر اساس جداسازی سلول‌های خورشیدی از شبکه و حذف جریان‌های نشستی با هم مقایسه شده‌اند.

در تمامی طرح‌های بررسی شده، مدارهای اینورتور بدون ترانس تنها برای تزریق توان تولیدی منابعی همچون سلول‌های خورشیدی به شبکه، با کم‌ترین هزینه به کار گرفته شدند. بنابراین، یک امپدانس واسط کمابیش بزرگ، و یا فرکانس کلیدزنی بالا برای کنترل هارمونیک‌های جریان خروجی مورد نیاز خواهد بود. ولی وقتی جبران سازی هارمونیک‌های جریان بار نیز جزو اهداف مدار باشد، استفاده از یک امپدانس بزرگ باعث می‌شود جریان خروجی اینورتور نتواند شکل موج مرجع را به درستی دنبال کند.

در این مقاله، طرحی جدید برای اینورتورهای چند

مورد نیاز، کنترلرهای ساده‌ای همچون کنترل کننده PI و یا کنترل کننده پسفاز - پیشفاز برای محاسبه میزان جبران‌سازی مورد نیاز مناسب نخواهند بود. برای مثال وقتی جریان بار کم است حتی اگر THD آن بالا باشد، هارمونیک‌های جریانی چندان بزرگ نخواهند بود و نیاز کمتری به جبران‌سازی دارند. در مقابل جریان بزرگ بار با THD کم نیز ممکن است به جبران‌سازی بیشتری نیاز داشته باشد. یک کنترل کننده فازی، با ساختاری ساده و قابل درکو در عین حال کار آمد، به عنوانیک حلقه کنترلی تکمیلی به کنترل کننده اینورتور اضافه می‌شود.

در این پژوهش، عملکرد مدار پیشنهادی و طرح کنترلی آن در نرم افزار Matlab/Simulink تحت دو حالت عملکردی بارهای خطی و غیرخطی شبیه‌سازی شده است. سپس، یک نمونه آزمایشگاهی تک‌فاز از مدار مربوطه به ظرفیت ۱ kw تهیه و درستی محاسبات و شبیه‌سازی‌ها روی آن بررسی شده است.

یک بررسی سریع روی طرح کلی اینورتورهای چند سطحی متوالی، که معرفی طرح پیشنهادی نیز به دنبال آن آورده شده است، در بخش ۲ ارائه شده است. در بخش ۳ طرح کنترلی به همراه طراحی کنترل کننده منطق فازی آورده شده است. نتایج شبیه‌سازی کامپیوتری و ارزیابی آزمایشگاهی سیستم نیز به ترتیب در بخش‌های ۴ و ۵ ارائه شده‌اند.

۲- طرح پیشنهادی

در شکل (۱) طرح پایه‌ای یک فاز از اینورتورهای چند سطحی با اتصال متوالی نشان داده شده است. این مدار از چند پل H اینویترتیک فاز تشکیل شده است که در سمت خروجی با یکدیگر سری شده‌اند. ولتاژ خروجی هر یک از پل‌ها با توجه به وضعیت کلیدها ۳ حالت خواهد داشت:

$$\begin{cases} 1,4: on \\ 2,3: off \end{cases} \Rightarrow V_{out} = +V_{dc} \\ \begin{cases} 1,4: off \\ 2,3: on \end{cases} \Rightarrow V_{out} = -V_{dc} \\ \begin{cases} 1,2: off \\ 3,4: on \end{cases} \Rightarrow V_{out} = 0 \end{cases} \quad (1)$$

سطحی بدون ترانس پیشنهاد شده است که برای اتصال منابع تولید پراکنده (همچون سلول‌های خورشیدی) به شبکه به کار می‌رود. برای حداقل‌سازی هزینه‌ها، ترانسفورماتورها هم در ورودی و هم در خروجی مدار حذف شده‌اند. به این ترتیب چند امپدانس کوچک و مناسب در مدار به کار گرفته می‌شود تا هم فرکانس کلید زنی به حداقل برسد و هم جریان‌های نشتی حذف شود. از آنجا که جبران‌سازی هارمونیک یکی از اهداف کار این مدار است، به جای استفاده از یک امپدانس بزرگتر، از چند امپدانس کوچکتر در مسیر جریان استفاده شده است که هر یک تنها وقتی وارد مسیر جریان می‌شوند که پل اینورتور مربوطه وارد مدار شود. توجه به این نکته دارای اهمیت است که در مدارهای چند سطحی، پل‌های اینورتوری سطوح بالاتر، مدت کمتری در وضعیت هدایت قرار می‌گیرند. به این ترتیب بازده کلی این مدار نسبت به طرح پایه با یک امپدانس واحد بزرگ، بهتر خواهد بود. پس از معرفی جزئیات طرح پیشنهادی، روابط کاملی برای انتخاب قطعات مناسب به کار رفته در آن ارائه می‌شود، که بر اساس بازده کلی، هارمونیک‌های تحت جبران‌سازی با در نظر گرفتن اعوجاج هارمونیک کل (THD) تعریف می‌شوند.

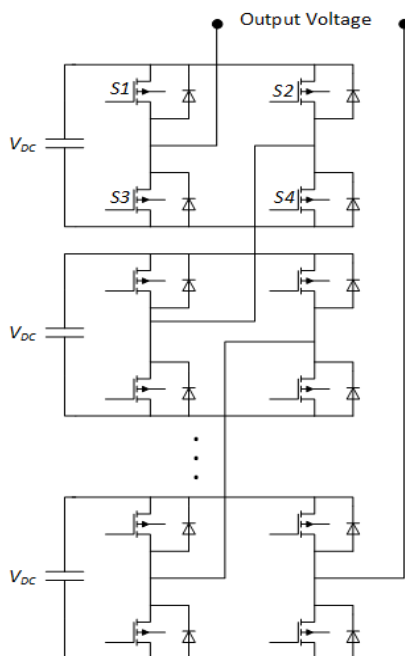
این مدار می‌تواند چند هارمونیک شاخص مرتبه پایین جریان بارهای غیر خطی را جبران‌سازی کند (مشابه یک فیلتر فعال) و هم‌زمان ماکزیمم توان اکتیو ممکن را از منبع تولید پراکنده به شبکه تزریق کند. به علت استفاده از اینورتورهای چند سطحی، فرکانس کلیدزنی به مراتب پایین‌تر خواهد بود و نیاز به جبران‌سازی خاصی نیز در خروجی وجود نخواهد داشت.

از آنجا که حد تحمل جریانی قطعات به کار رفته در اینورتور، مقدار مؤثر جریان خروجی آنرا محدود می‌کند، جبران‌سازی جریان‌های هارمونیک بار باعث افت توان اکتیو قابل تزریق به شبکه خواهد شد. به این ترتیب یک نقطه کار بهینه عملکرد اینورتور بین حالت جبران‌سازی و توان اکتیو تزریقی باید به ازای هر شرایط بار توسط کنترل کننده اینورتور تعیین شود. با توجه به ماهیت غیر خطی شاخص‌هایی نظیر اعوجاج هارمونیک بار، توان تزریقی اینورتور، مقدار مؤثر جریان و میزان جبران‌سازی هارمونیک

بیشتری قابل تولید است.

در [۳] طرحی برای اتصال سلول‌های خورشیدی به شبکه پیشنهاد شده که از دو سلف جداگانه برای دو نیم سیکل جریان استفاده می‌کند. سلف‌های استفاده شده کوچک انتخاب شده‌اند (۳ mH). اما چون از اینورتور ساده ۳ سطحی استفاده شده فرکانس کلیدزنی مدار بسیار بالا برده شده (۲۰ kHz) تا هارمونیک‌های جریانی به حداقل برسد. چنین فرکانسی در عمل برای پیاده‌سازی مشکل‌ساز خواهد شد.

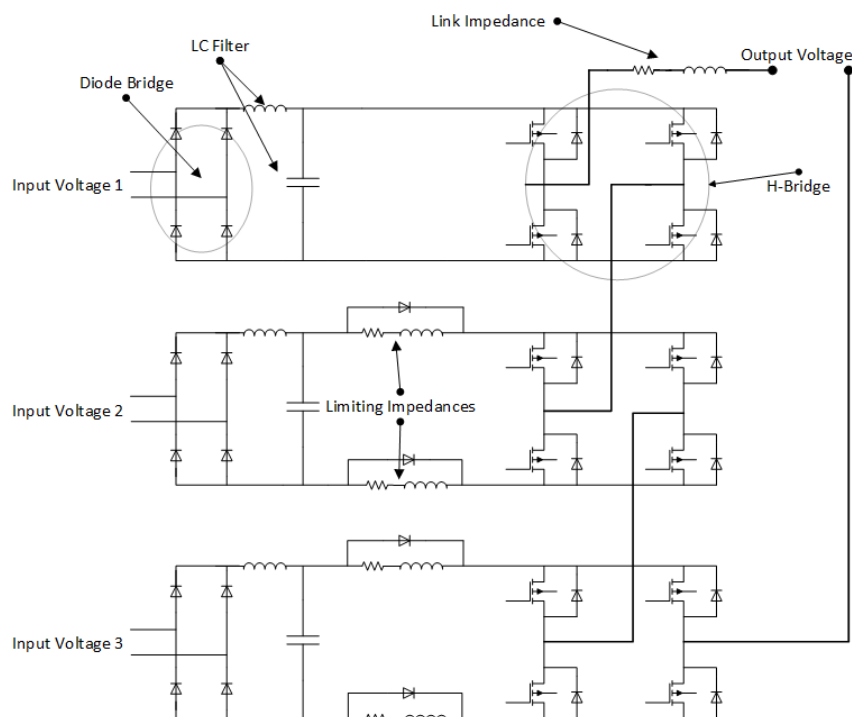
شایان ذکر است به علت متناوب بودن جریان در مقطعی از زمان، دیودهای موازی با کلیدها هدایت جریان را به عهده خواهند داشت. برای مثال وقتی پل اول در وضعیت صفر قرار دارد در حالیکه جهت جریان از اینورتور به سمت بیرون است، کلید شماره ۴ به همراه دیود موازی با کلید شماره ۳ هدایت جریان را بر عهده خواهند داشت. بنابراین، اگر از n پل اینورتوری با V_{dc} های مشابه استفاده شده باشد می‌توان در خروجی $2n+1$ سطح ولتاژ مختلف ایجاد کرد. واضح است که با استفاده از V_{dc} های مختلف، ترکیبات



شکل (۱): شمای کلی اینورتورهای چند سطحی با اتصال متوالی

در طرح پیشنهادی در این مقاله، یک اینورتور ۷ سطحی (مشابه شکل (۱)) به عنوان طرح مبنا استفاده شده است. در حالتی که منبع تولید پراکنده، ژنراتور AC سه فاز باشد، هر یک از این سه فاز را می‌توان به عنوان تغذیه برای یکی از پل‌های اینورتوری استفاده کرد (به شرطی که سیم پیچ‌های ژنراتور به شکل جدا از هم در اختیار باشند). بنابراین، هر یک از فازهای منبع، در هر سه فاز اینورتور استفاده می‌شود. به این ترتیب، نگرانی از بابت جریان‌های گردشی در مدار وجود نخواهد داشت و نیاز به استفاده از ترانس در سمت ورودی نخواهیم داشت.

در [۴] نیز همین ایده دنبال شده است و مدار این بار از نقطه نظر جریان نشستی بررسی شده است. به علت بالا بودن فرکانس کلیدزنی مدار، همانگونه که در [۷] و [۱۳] نیز اشاره شده، نیاز به استفاده از یک فیلتر در خروجی مدار وجود خواهد داشت تا مؤلفه‌های فرکانس بالا را حذف کند. البته با استفاده از فیلتر مناسب می‌توان فرکانس کلیدزنی پایین‌تری استفاده کرد. برای مثال در [۱۳] از فیلتر EMC استفاده شده و فرکانس کلیدزنی تا ۱۶ kHz پایین آورده شده است. البته در تمام موارد بیان شده تریق جریان هارمونیک اول هدف اصلی عملکرد اینورتور بوده است و هیچ هارمونیک دیگری در مرجع جریان دخالت داده نشده است.



شکل (۲): طرح مدار پیشنهاد شده در این مقاله برای اینورترهای چند سطحی

سیکل جریان در مدار خواهند بود و بازده کلی سیستم نسبت به حالتی که از یک امپدانس بزرگ یکپارچه استفاده شود بالاتر است. شایان ذکر است در پل‌های اینورتوری مراتب بالا از دو امپدانس جدا در هر نیم سیکل استفاده شده است. به علت استفاده از کنترل کننده هیستریزس، این پل‌ها فرکانس کلیدزنی بالاتری خواهند داشت و وجود دیود هرزگرد به تخلیه هرچه سریع‌تر انرژی سلف در زمان خاموشی پل اینورتوری کمک خواهد کرد. برای مثال شکل (۳) مسیر جریان را وقتی پل‌های اینورتوری به ترتیب در وضعیت مثبت، منفی و صفر باشند، و جریان در نیم سیکل مثبت خود باشد نشان می‌دهد.

۲-۱- محاسبات بازده

همان‌طور که بیان شد، اگر از تلفات روی کلیدها صرف نظر شود، تنها عامل پایین آورنده بازده، مقاومت داخلی سلف‌های مورد استفاده خواهد بود. فرض کنیم ماکزیمم مقدار مؤثر جریان مدار ($I_{inv(max)}$)، مقاومت داخلی سلف اتصالی $R_{Link Inductor}$ و مقاومت داخلی سلف‌های محدودساز $R_{Limiting Inductor}$ باشد. بازده مدار وقتی کل

برای محدود کردن نرخ تغییرات جریان پس از حذف ترانسفورماتور، به امپدانس‌های مناسبی در مسیر جریان نیاز خواهیم داشت. اگر از یک سلف بزرگ استفاده شود، می‌توانیم فرکانس کلید زنی را پایین بیاوریم. ولی جریان اینورتور ممکن است نتواند در زمان جبران سازی هارمونیک، جریان مرجع را به خوبی دنبال کند. همچنین، مقاومت داخلی چنین سلف بزرگی می‌تواند به کاهش بازده مدار منجر شود.

شمای نهایی مدار پیشنهادی در شکل (۲) نشان داده شده است که در آن نخستین پل H از طریق یک امپدانس که همواره در مدار است و ما آنرا امپدانس اتصالی می‌نامیم به شبکه متصل می‌شود. پل‌های بعدی هر یک به همراه امپدانس جدیدی که ما آنرا امپدانس محدودکننده می‌نامیم وارد مسیر جریان می‌شوند (مقاومت‌ها در شکل نمایانگر مقاومت داخلی سلف‌ها هستند). با این تفاوت که امپدانس‌های محدود کننده وقتی پل اینورتوری مربوطه در وضعیت صفر قرار می‌گیرد از مدار خارج می‌شوند و انرژی آن‌ها از طریق دیود هرزگرد تخلیه می‌شود. به این ترتیب هر یک از امپدانس‌های محدود کننده تنها برای بخشی از یکنیم

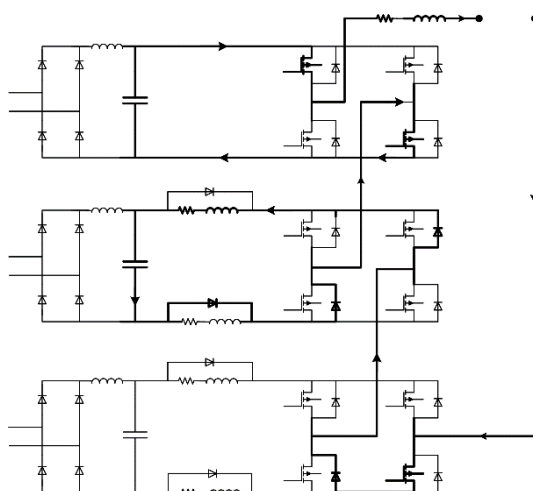
طرح جدیدی برای اینورتور متوالی چند سطحی بدون ترانسفورماتور به منظور اتصال منابع تولی.....

بخشی از قابلیت جریان اینورتور به جبران سازی هارمونیک اختصاص یابد، بازده کلی سیستم بالاتر خواهد رفت. بعلاوه، واضح است که همه امیدانس های مدار همزمان و برای کل سیکل جریان در مدار نخواهند بود. بنابراین رابطه (۲) کمترین حد بازده مورد انتظار از این مدار را نشان می دهد.

ظرفیت جریان به تزریق توان اکتیو اختصاص یابد، و به عنوان بدترین حالت هر سه پل اینورتوری در کل طول سیکل جریان در حالت غیر صفر باشند، از رابطه زیر قابل محاسبه خواهد بود:

$$\eta = \frac{V_{ph} I_{inv(max)}}{V_{ph} I_{inv(max)} + 2R_{Limiting inductor} (I_{inv(max)})^2 + R_{Link inductor} (I_{inv(max)})^2}$$

همان طور که از این رابطه قابل استنباط است، اگر



شکل (۳): مسیر جریان در مدار پیشنهادی وقتی پل های اینورتور به ترتیب در وضعیت مثبت، منفی صفر باشد.

لینک DC تقریباً ثابت باشد، هارمونیک مرتبه k -ام آن خواهد شد:

$$(V_{dc})_q = \frac{V_{dc}}{2\pi q} (1 - \cos(q\pi)) \quad (4)$$

بنابراین، هارمونیک مرتبه k -ام جریان درون امیدانس اتصالی از رابطه زیر قابل محاسبه خواهد بود:

$$I_K(t) = \frac{V_{dc} / \pi k}{\sqrt{(R_{inductor})^2 + (2\pi k f_0 L)^2}} \sin(2\pi k f_0 t) \quad (5)$$

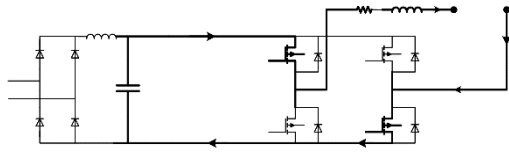
اگر زمان صعود جریان اینورتور (زمانی که جریان اینورتور خود را به جریان مرجع می رساند) حداکثر ۵ درصد دوره تناوب بالاترین هارمونیک تحت جبران یعنی برابر $0.05/kf_0$ انتخاب شود، اندوکتانس مناسب سلف اتصالی از رابطه ۵ قابل محاسبه خواهد بود. البته باید توجه کرد در طی این مدت مرجع جریان نیز ثابت نخواهد بود.

۲-۲- محاسبه مقدار سلف اتصالی

از آنجا که نخستین پل اینورتوری باریکترین عرض باند هسیتریس را دارد، زودتر از پل های بقیه سطوح وارد مدار می شود. این بدان معناست که نخستین پل اینورتوری وقتی جریان به میزان حداقل ΔI_{H1} از جریان مرجع عقب بیافتد، از وضعیت صفر به مثبت می رود (ΔI_{H1} عرض باند هسیتریس پل اینورتوری اول است). فرض کنید مرجع جریان مشابه زیر باشد:

$$I(t) = I_1 \sin(\omega t + \phi_1) + I_a \sin(a\omega t + \phi_a) + \dots + I_b \sin(b\omega t + \phi_b) + \dots \quad (3)$$

فرض کنید بالاترین مرتبه هارمونیک جریانی که در مرجع جریان تعریف شده هارمونیک مرتبه k باشد (که فرکانس آن kf_0 و دوره تناوب آن $1/kf_0$ است) و فرض کنید ولتاژ شبکه هیچ هارمونیک نداشته باشد. اگر ولتاژ روی



شکل (۴): تخلیه و یا شارژ خازن‌ها در زمان قرار گرفتن در مسیر جریان اینورتور

همان‌طور که دیده می‌شود در رابطه (۹) تغییرات ولتاژ لینک DC ناشی از تامین هارمونیک‌های جریان در مقابل اثر هارمونیک اصلی ناچیز خواهد بود. این بدان معناست که تغییرات ولتاژ لینک DC بیشتر ناشی از تزریق توان اکتیو به شبکه است (هارمونیک اول جریان):

$$\Delta V_C = \frac{1}{C} [I_1 \cos(\omega t + \varphi_1)] \quad (10)$$

اگر به عنوان یک مرز قابل قبول حد تغییرات ولتاژ لینک DC میزان ۵ درصد انتخاب شود، رابطه (۱۰) می‌تواند برای تعیین مقدار خازن مورد نیاز به کار رود. اگر در بدترین حالت فرض کنیم خازن برای مدت یک نیم سیکل کامل در مدار باشد، رابطه (۱۰) شکل می‌گیرد:

$$(\Delta V_C)_{\max} = \frac{-I_1}{\omega C} [\cos(0^\circ)] = \frac{-I_1}{\omega C} \quad (11)$$

البته حد خازن مورد نیاز بسیار کمتر از این است. زیرا به علت استفاده از کنترل کننده هیستریزس، خازن‌ها برای دوره کوتاه‌تری در مدار خواهند بود. همان‌طور بیان شد، برای پل‌های اینورتوری سطوح بالاتر ولتاژ خازن‌های کوچک‌تری مورد نیاز است زیرا دوره کاری آن‌ها در طول سیکل جریان کمتر است.

۳- الگوریتم کنترلی

از آنجا که مقدار مؤثر جریان اینورتور به علت محدودیت اجزای به کار رفته، محدود است، یک نقطه کار بهینه بین محتوای هارمونیک‌های جریان اینورتور و جریان هارمونیک اصلی آن باید تعیین شود. برای تعیین این نقطه کار بهینه از شاخص اعوجاج هارمونیک کل جریان در

اگر دامنه بالاترین مرتبه هارمونیک تحت جریان‌سازی I_k باشد، بیش‌ترین تغییرات جریان مرجع به طور تقریبی از رابطه زیر قابل محاسبه خواهد بود:

$$I_k \sin(2\pi k f_0 \frac{0.05}{k f_0}) = 0.31 I_k \quad (6)$$

بنابراین، پس از در نظر گرفتن مقداری برای مقاومت داخلی امپدانس اتصالی، می‌توان اندوکتانس آن‌را به کمک رابطه (۵) محاسبه کرد. اندازه این اندوکتانس باید به حدی کوچک باشد که با تغییر وضعیت پل H از صفر به مثبت، جریان تزریقی اینورتور، در مدت کوتاه $0.05/kf_0$ به میزان $\Delta I_{H1} + 0.31 I_k$ افزایش یابد:

$$\frac{V_{dc} / \pi k}{\sqrt{((R_{inductor})^2 + (2\pi k f_0 L)^2)}} \sin(2\pi k f_0 \frac{0.05}{k f_0}) = \dots \quad (7)$$

$$\dots = \Delta I_{H1} + 0.31 I_k$$

بنابراین، اندازه اندوکتانس سلف خواهد شد:

$$L = \frac{1}{2\pi k f_0} \sqrt{\left[\frac{V_{dc} / \pi k \sin(0.1\pi)}{\Delta I_{H1} + 0.31 I_k} \right]^2 - (R_{inductor})^2} \quad (8)$$

محاسبه سلف‌های محدودساز پل‌های اینورتوری بعدی نیز به روش و رابطه‌ای مشابه این انجام خواهد شد.

۲-۳- محاسبه اندازه خازن‌های لینک DC

هر پل اینورتوری مشابه شکل ۴ با یک بانک خازنی پشتیبانی می‌شود که ولتاژ DC را حفظ می‌کند. اگر جریان مرجع اینورتور مشابه رابطه (۳) باشد، و جریان اینورتور مرجع خود را به خوبی دنبال کند، زمانی که خازن به جای منبع بار را تغذیه خواهد کرد به عرض باند هیستریزس پل اینورتوری بستگی خواهد داشت. تغییرات ولتاژ لینک DC از رابطه کلی زیر قابل محاسبه خواهد بود:

$$\Delta V_C = \frac{1}{C} [I_1 \cos(\omega t + \varphi_1) + \dots + \frac{I_a}{a\omega} \cos(a\omega t + \varphi_a) + \frac{I_b}{b\omega} \cos(b\omega t + \varphi_b) + \dots] \quad (9)$$

سمت بار استفاده می‌شود:

$$Current\ THD = \frac{\sqrt{I_{rms}^2 - I_{dc}^2 - (I_1)_{rms}^2}}{(I_1)_{rms}} \quad (12)$$

وظیفه اصلی سیستم کنترل اینورتور این است که حداقل سهم ممکن از جریان اینورتور را به محتوای هارمونیک، برای جبران‌سازی بار اختصاص دهد، به طوری‌که THD بار به حد قابل قبولی کاهش یابد و در عین حال بیش‌ترین توان اکتیو ممکن از منبع تولید انرژی به شبکه تزریق شود.

برای ماکزیمم‌سازی توان اکتیو تولیدی علاوه بر ماکزیمم‌سازی دامنه، فاز آن نیز باید با ولتاژ فاز به خنثی شبکه یکی شود. برای محاسبه این فاز اولیه در سیستم هائسه فاز، در اینجا الگوریتم تبدیل پارک (dq0) پیشنهاد می‌شود:

$$dq0 = \frac{\sqrt{2}}{3} \begin{bmatrix} \cos(\omega t) & \cos(\omega t - 2\pi/3) & \cos(\omega t + 2\pi/3) \\ -\sin(\omega t) & -\sin(\omega t - 2\pi/3) & -\sin(\omega t + 2\pi/3) \\ \frac{\sqrt{2}}{2} & \frac{\sqrt{2}}{2} & \frac{\sqrt{2}}{2} \end{bmatrix} \times abc \quad (13)$$

با فرض این‌که ولتاژ شبکه کاملاً سینوسی بوده و هیچ هارمونیک ندارد، ولتاژهای فاز به خنثی به شکل زیر خواهد بود:

$$\begin{aligned} V_{an} &= V_m \cos(\omega t + \varphi) ; \\ V_{bn} &= V_m \cos(\omega t - 120 + \varphi) ; \\ V_{cn} &= V_m \cos(\omega t + 120 + \varphi) \end{aligned} \quad (14)$$

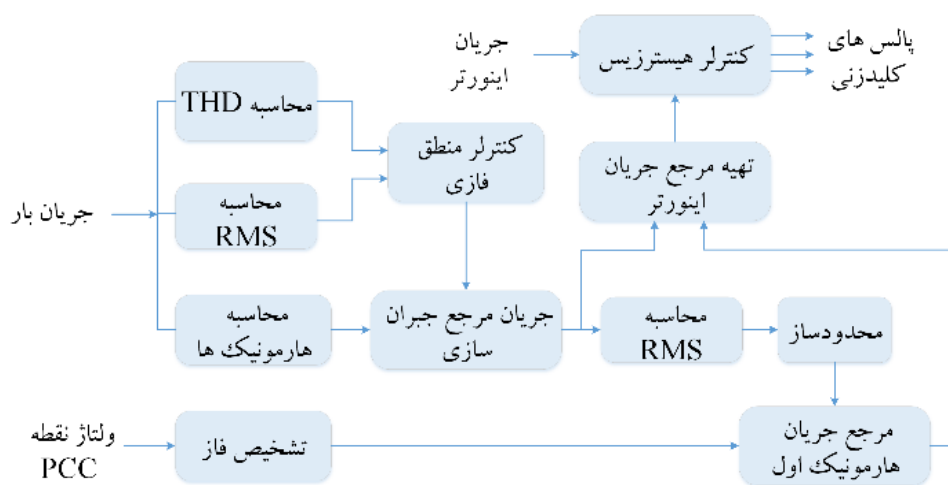
بنابراین، مولفه های dq0 برای چنین ولتاژهایی خواهد شد:

$$\begin{aligned} V_d &= \frac{1}{\sqrt{2}} \cos(\varphi) ; V_q = \frac{1}{\sqrt{2}} \sin(\varphi) ; \\ V_0 &= 0 \end{aligned} \quad (15)$$

در حالت کلی مولفه های dq0 باید از فیلترهای پایین‌گذر عبور داده شود تا مولفه DC آن‌ها جدا شود. اما استفاده از فیلتر باعث بروز تأخیر در عملکرد سیستم می‌شود. در نهایت، فاز اولیه ولتاژ برابر خواهد شد با:

$$\varphi = \tan^{-1} \left(\frac{V_q}{V_d} \right) \quad (16)$$

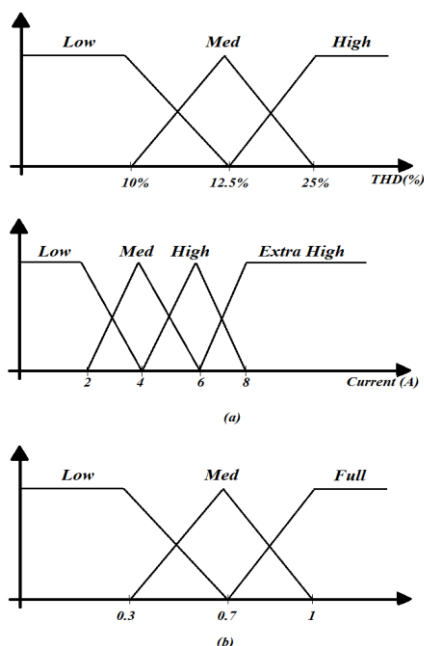
به این ترتیب در کنترل کننده اینورتور ابتدا دامنه و فاز چند هارمونیک شاخص مرتبه پایین بار و نیز شاخص اعوجاج هارمونیک کل آن مشخص می‌شود. سپس، یک‌کنترل کننده مبتنی بر منطق فازی، که بر اساس برخی قوانین زمانی کار می‌کند، وظیفه تعیین بهره جبران‌سازی را بر عهده خواهد داشت. در نهایت، مقدار مؤثر جریان هارمونیک در جریان مرجع مشخص شده و با توجه به ماکزیمم مقدار مؤثر جریان قابل تولید توسط اینورتور، مقدار مؤثر جریان هارمونیک اول محاسبه می‌شود و به تزریق توان اکتیو اختصاص می‌یابد. شمای کلی بلوک دیاگرام کنترل کننده اینورتور در شکل (۵) دیده می‌شود.



شکل (۵): بلوک دیاگرام سیستم کنترلی پیشنهاد شده

۳-۱- طراحی کنترل کننده فازی

همان‌طور که بیان شد، محتوای هارمونیک‌های جریان بار که با شاخص THD برآورد می‌شود، اصلی‌ترین قید برای تنظیم عملکرد اینورتور است. به این ترتیب، بر طبق استاندارد [۱۶] برای بارهای کوچک، جریان با THD کمتر از ۱۰ درصد به عنوان جریان پاک شناخته می‌شود که نیازی به جبران‌سازی نخواهد داشت. به همین ترتیب جریانی با THD بزرگتر از ۲۵ درصد نیز جریانی به شدت هارمونیک است که جبران‌سازی آن باید در اولویت قرار گیرد. البته از آنجا که برای محاسبه THD، محتوای هارمونیک سیگنال نسبت به هارمونیک اول آن سنجیده می‌شود، مقدار مؤثر جریان بار نیز به عنوان یکی دیگر از ورودی‌های کنترل کننده منطق فازی استفاده می‌شود. توابع عضویت جریان با توجه به حد جریان قابل تحمل توسط اینورتور تعیین می‌شود. توابع عضویت هر دو ورودی در شکل ۶.a دیده می‌شود.



شکل (۶): توابع عضویت به کار رفته در کنترل کننده منطق فازی: (a) ورودی ها، (b) خروجی

۴- نتایج شبیه‌سازی‌ها

عملکرد مدار پیشنهاد شده و طرح کنترلی آن در این بخش توسط شبیه‌سازی با نرم افزار Matlab/Simulink برآورد می‌شود. از آنجا که در مدارهای اینورتور متوالی، عملکرد این مدار توسط شبیه‌سازی تنها یک فاز از آن بررسی می‌شود. ولتاژ نقطه اتصال به شبکه ۲۲۰ ولت (ولتاژ فاز به خشی) اختیار می‌شود. بار غیر خطی توسط یک امپدانس سلفی $R=5 \text{ Ohms}$ و $L=12 \text{ mH}$ که بایک پل دیودی از شبکه تغذیه می‌شود، مدل شده است. مدار اینورتور از سه پل H متوالی تشکیل شده است که عرض باند هیستریزس آن‌ها به ترتیب زیر است:

$$\Delta I_1 = 0.1 \text{ Amp}; \Delta I_2 = 0.3 \text{ Amp}; \Delta I_3 = 0.5 \text{ Amp}.$$

از آنجا که سیستم تک‌فاز است، هارمونیک‌های مضرب سوم بار نیز تحت جبران‌سازی قرار می‌گیرد (در مدارهای ۳ فاز هارمونیک‌های مضرب سوم توسط ترانس ۳ فاز حذف می‌شوند و نیاز به جبران‌سازی آن‌ها وجود ندارد). چهار هارمونیک شاخص و مرتبه پایین بار با توجه به ماهیت بار به ترتیب هارمونیک‌های سوم، پنجم، هفتم، و نهم خواهند

خروجی کنترل کننده منطق فازی بهره جبران‌سازی خواهد بود با توابع عضویتی مشابه شکل ۶.b. قوانین کنترل فازی نوع ممدانی که در اینجا استفاده شده مبتنی است بر قواعد زبانی حاکم بر رابطه ورودی‌ها و خروجی که در جدول (۱) خلاصه شده است. برای مثال، می‌دانیم وقتی جریانبار در حد پایینی باشد، حتی اگر THD آن بالا باشد، نیاز چندانی به جبران‌سازی آن وجود ندارد. بنابراین، طبق جدول (۱) در این حالت بهره جبران‌سازیدر حد پایینی نگهداشته می‌شود تا بیشتر جریان اینورتور صرف تزریق توان شود.

جدول (۱): قوانین به کار رفته در کنترل کننده منطق فازی بر

اساس طرح ممدانی

| RMS\THD | Low | Med | High |
|---------|------|------|------|
| Low | low | low | low |
| Med | low | med | full |
| High | med | full | full |
| Extra | full | full | full |

نشان می‌دهد. به علت ماهیت غیر خطی بار، بیشتر جریان اینورتور به جبران‌سازی هارمونیک اختصاص یافته است. همان‌طور که نتایج تحلیل FFT در شکل (۸) نشان می‌دهد، چهار هارمونیک مرتبه پایین جریان بار به خوبی جبران‌سازی شده‌اند، در حالی که توان اکتیو تزریقی به میزان زیر کاهش یافته است:

$$P = 220 \times 3.204 / \sqrt{2} = 498 \text{ w}$$

دریک آزمایش دیگر، با حذف پل دیود از مسیر جریان بار، امپدانس خطی را مستقیم از شبکه تغذیه و یک بار خطی مدل‌شد. شکل (۹) عملکرد سیستم را در شرایط جدید نشان می‌دهد. همان‌طور که مشاهده می‌شود جریان تزریقی اینورتور تقریباً هیچ هارمونیک خاصی ندارد و کاملاً هم فاز با ولتاژ فاز به خنثی شبکه قرار گرفته است تا سطح توان اکتیو تزریقی را به حداکثر برساند. شکل (۱۰) نتایج تحلیل FFT روی جریان‌ها را در شرایط خطی بودن بار نشان می‌دهد که ادعای یاد شده را تایید می‌کند.

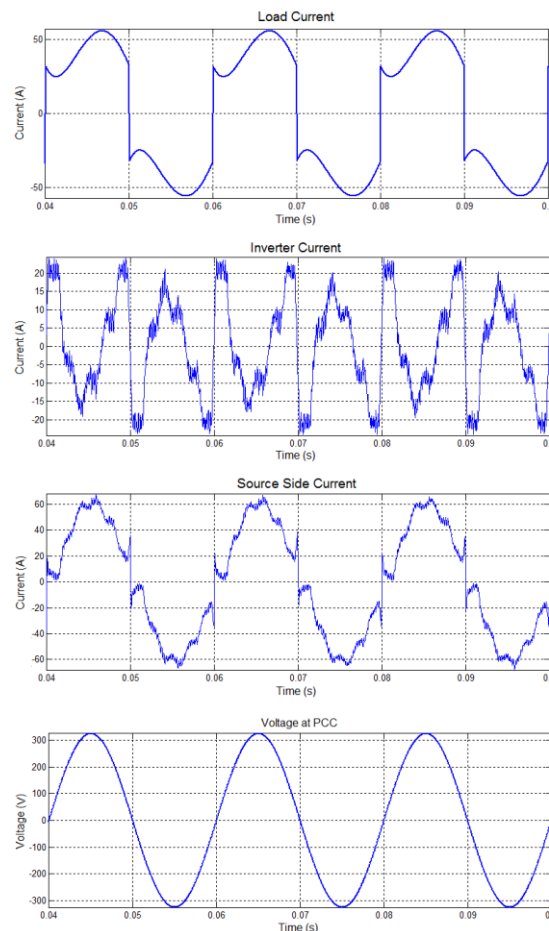
بود. به این ترتیب مرتبه بالاترین هارمونیک تحت جبران $k=9$ خواهد بود که دامنه آن حداکثر $I_k=2 \text{ A}$ در نظر گرفته می‌شود. حداکثر مقدار مؤثر جریان قابل تزریق توسط اینورتور ۱۰ آمپر انتخاب می‌شود. بنابراین، بیش‌ترین توان اکتیو قابل تزریق از این مدار به شبکه برابر خواهد بود با:

$$P_{\max} = 220 \times 10 = 2.2 \text{ kW}$$

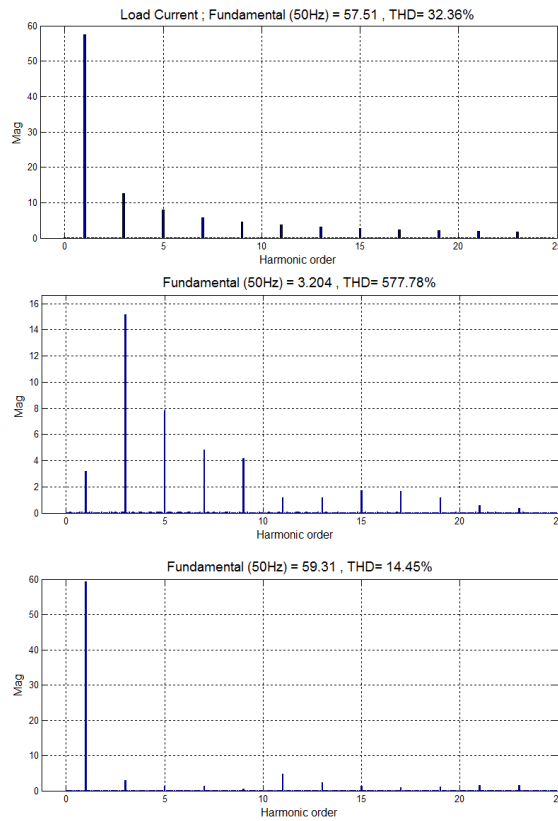
مقاومت‌های مسیر جریان در اینورتور به این ترتیب در نظر گرفته می‌شوند:

$$R_{\text{Link inductor}}=0.2 \text{ Ohms}, R_{\text{limit inductor}}=0.1 \text{ Ohms}$$

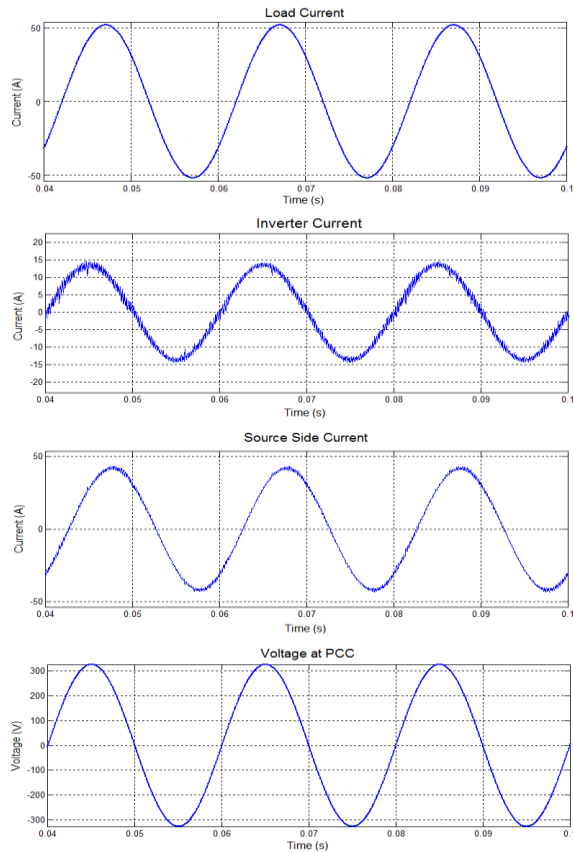
بنابراین طبق رابطه (۲) حداقل بازده این مدار بدون در نظر گرفتن تلفات روی کلیدها حدود ۹۸ درصد خواهد بود. اندازه اندوکتانس امپدانس اتصالی از رابطه (۸) حدود $L=11 \text{ mH}$ و خازن‌های لینک DC اینورتور از رابطه (۱۱) حدود $C=1200 \text{ uF}$ محاسبه می‌شود. اندوکتانس سلف‌های محدودساز پل‌های بعدی نیز به ترتیب ۶ و ۲ میلی‌هنری خواهد بود. شکل (۷) عملکرد سیستم را در این شرایط



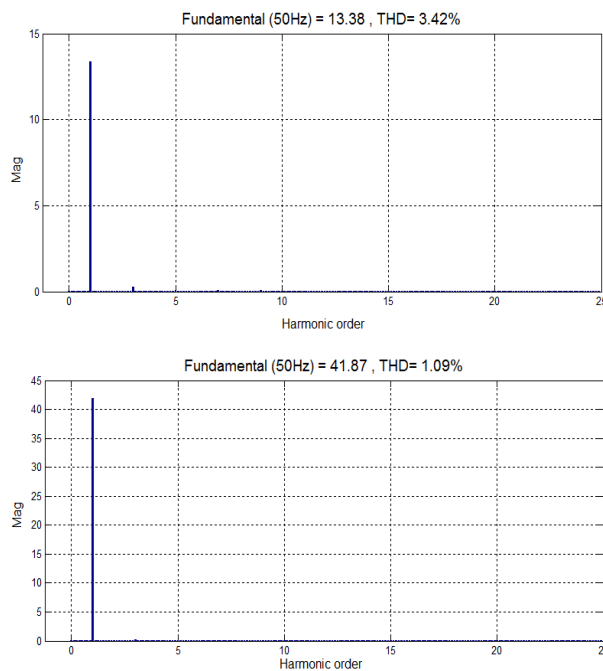
شکل (۷): نتایج شبیه‌سازی در حالت غیر خطی بودن بار



شکل (۸): نتایج تحلیل *FFT* روی شکل موج‌های جریان نشان داده شده در شکل ۷



شکل (۹): نتایج شبیه‌سازی‌ها برای حالت خطی بودن بار



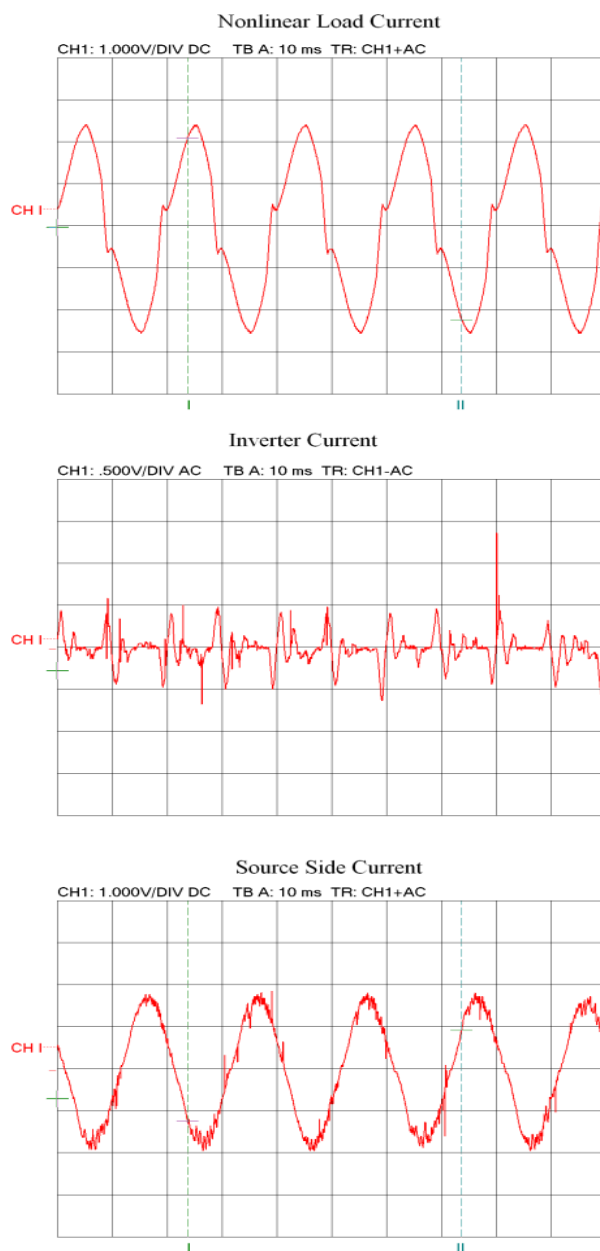
شکل (۱۰): نتایج تحلیل FFT برای شکل موج‌های جریان در شکل (۹)

۵- نتایج آزمایشگاهی

برای اثبات درستی عملکرد مدار ارایه شده و طرح کنترلی آن، یک نمونه تک‌فاز از آن به ظرفیت ۱ kw تهیه شده و در آزمایشگاه بررسی شد (جزئیات در ضمیمه آورده شده است). از یک بار سلفی مقاومتی که با پل دیودی تغذیه می‌شود به عنوان بار غیر خطی استفاده شد. شکل (۱۱) نتایج به دست آمده را نشان می‌دهد. همان‌طور که مشاهده می‌شود عملکرد مدار در حالت جبران‌سازی شاخص THD را از حدود ۲۹ درصد در سمت بار به حدود ۱۱ درصد در سمت شبکه رسانده است که دیگر نیاز خاصی به جبران‌سازی ندارد (دامنه جریان هارمونیک اول اینورتور کاهش داده شده تا قابلیت جبران‌سازی در آن برجسته‌تر دیده شود).

در آزمایشی دیگر از یک امپدانس سلفی مناسب که به

شکل مستقیم از شبکه تغذیه می‌شود به عنوان یک بار خطی استفاده شد. شکل (۱۲) عملکرد سیستم را در شرایط ماکزیم تزریق اکتیو نشان می‌دهد. همان‌طور که در این شکل مشاهده می‌شود جریان اینورتور به خوبی با ولتاژ فاز به خنثی شبکه هم‌فاز شده است، در حالیکه شاخص THD برای آن حدود ۸ درصد است که مقداری قابل قبول است. شکل (۱۳) نوسانات ولتاژ لینک‌های DC پل‌های اینورتوری اول و دوم را در شرایط خطی بودن بار نشان می‌دهد، جایی که به علت تزریق توان اکتیو بیشتر، خازن‌ها بیشتر تخلیه می‌شوند. برای کاهش هرچه بیشتر ریپل‌های دیده شده در ولتاژ لینک DC می‌توان از خازن‌های بزرگتر یا سطح ولتاژ لینک DC بالاتر استفاده کرد.



شکل (۱۱): نتایج آزمایشگاهی به دست آمده از کار مدار در حالت بار غیر خطی

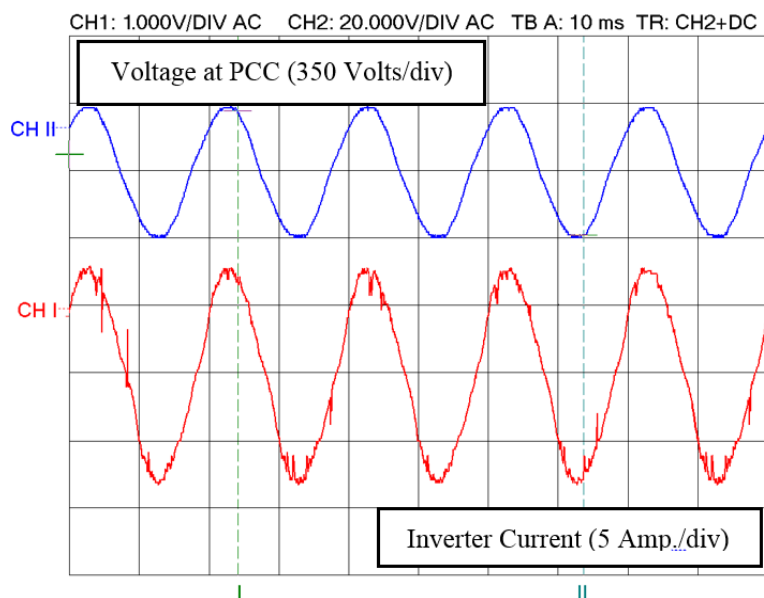
۶- نتیجه گیری

در این مقاله، طرحی جدیدی برای اینورتور چند سطحی با اتصال متوالی و بدون ترانسفورماتور ارائه شد. با حذف ترانسفورماتور در سمت خروجی، هزینه کلی مدار کاهش داده شد که می‌توان آن را به عنوان مزیت اصلی این طرح نام برد. فرمولاسیون کاملی برای محاسبه شاخص‌های مختلف مدار ارائه شد، به طوری که این مدار بتواند علاوه بر تزریق توان از طریق تزریق هارمونیک اول جریان، برخی از

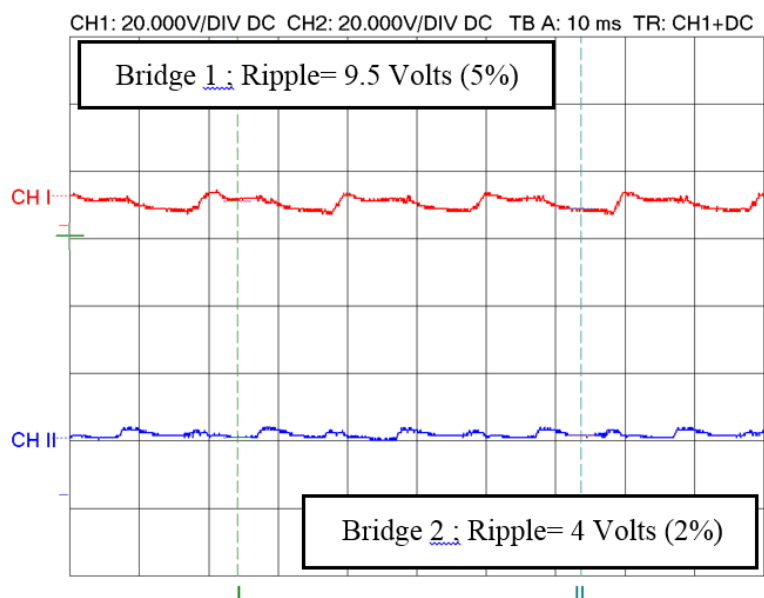
هارمونیک‌های شاخص جریان بار را نیز تا حدودی جبران‌سازی کند. یک حلقه کنترلی اضافی شامل یک کنترل کننده مبتنی بر منطق فازی برای تنظیم بهره جبران‌سازی پیشنهاد شد که به علت سادگی به راحتی در عمل قابل پیاده‌سازی است. عملکرد این مدار و طرح کنترلی آن توسط شبیه‌سازی کامپیوتری با نرم افزار Matlab/Simulink و نیز به کمک آزمایش‌های عملی روی یک نمونه ظرفیت پایین از آن بررسی شد. در هر دو مورد، نتایج به دست آمده نشان

طرح جدیدی برای اینورتور متوالی چند سطحی بدون ترانسفورماتور به منظور اتصال منابع تولی.....

دهنده پاسخ مناسب مدار به ماهیت خطی یا غیر خطی بار حد ممکن پایین می‌آورد، بیش‌ترین توان اکتیو ممکن را به بود و در هر شرایط با وجود این که THD جریان بار را تا شبکه تزریق کرد.



شکل (۱۲): نتایج آزمایشگاهی برای حالت بار خطی

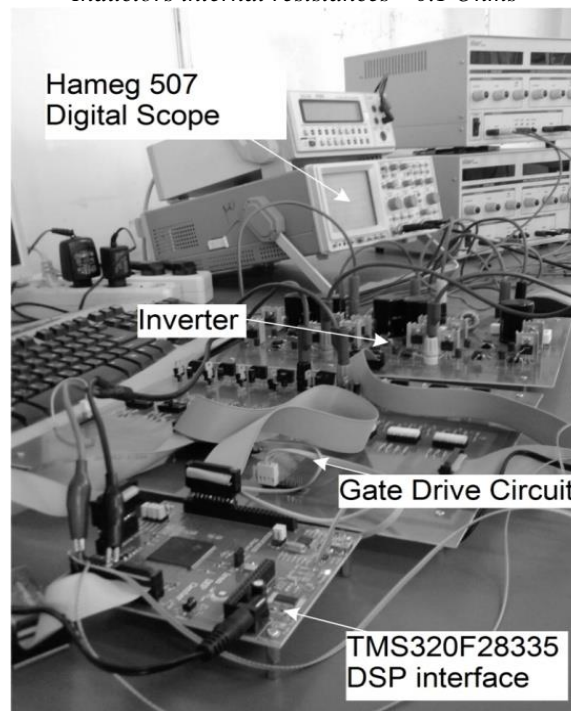


شکل (۱۳): ولتاژ لینک‌های dc سطوح اول و دوم ولتاژ تحت بار خطی

ضمیمه

مشخصات سیستم نمونه آزمایشگاهی تهیه شده به قرار زیر است:

$R_{limit}=0.12\text{ Ohms}$
 Capacitor size in each bridge= 660 μF
 Filter Inductors= 100 μH
 Link Inductors= 12mH , 6 mH , 1 mH
 DC rail voltages= 3x100 Volts
 Inductors internal resistances= 0.1 Ohms



- Compatibility, IEEE Transactions on, Vol.52, No.4, pp.902 – 913, 2010.
- [5] Teodorescu, R. , Rodríguez, P. , Vázquez, G. , Aldabas, E. , "A New High-Efficiency Single-Phase Transformerless PV Inverter Topology" Industrial Electronics, IEEE Transactions on, Vol.58, No.1 , pp.184 – 191, 2011.
- [6] Lopez, J., Sanchis, P., Marroyo, L., "Transformerless Inverter for Single-Phase Photovoltaic Systems" Power Electronics, IEEE Transactions on, Vol. 22, No. 2, pp. 693 – 697, 2007.
- [7] Yunjie Gu, Wuhua Li, Yi Zhao, Bo Yang, Chushan Li, Xiangning He , "Transformerless Inverter With Virtual DC Bus Concept for Cost-Effective Grid-Connected PV Power Systems" Power Electronics, IEEE Transactions on, Vol.28, No. 2, pp. 793 – 805, 2013.
- [8] Gonzalez, R., Gubia, E., Lopez, J., Marroyo, L., "Transformerless Single-Phase
- مراجع
- [1] Shaojun Xie, "Transformerless Split-Inductor Neutral Point Clamped Three-Level PV Grid-Connected Inverter" Power Electronics, IEEE Transactions on, Vol. 27, No. 4, pp. 1799 – 1808, 2012.
- [2] Kai Sun, Lanlan Feng , Hongfei Wu , Yan Xing, "A Family of Neutral Point Clamped Full-Bridge Topologies for Transformerless Photovoltaic Grid-Tied Inverters" Power Electronics, IEEE Transactions on, Vol. 28, No.2, pp.730 – 739, 2013.
- [3] Shaojun Xie , Yang Chen , Ruhai Huang, "An Optimized Transformerless Photovoltaic Grid-Connected Inverter" Industrial Electronics, IEEE Transactions on, Vol.58, No.5, pp.1887 – 1895, 2011.
- [4] Shaojun Xie, "Leakage Current Analytical Model and Application in Single-Phase Transformerless Photovoltaic Grid-Connected Inverter" Electromagnetic

- Inverter Systems" Power Electronics, IEEE Transactions on, Vol. 21, No.5, pp. 1385 – 1393, 2006.
- [13] Araujo, S.V., Zacharias, P., Mallwitz, R. , "Highly Efficient Single-Phase Transformerless Inverters for Grid-Connected Photovoltaic Systems" Industrial Electronics, IEEE Transactions on, Vol.57, No.9, pp. 3118 – 3128, 2010.
- [14] Cavalcanti, M.C., Ferraz, P.E.P., Neves, F.A.S. , dos Santos, E.C. , da Silva, J.H.G.M., "Modulation for Three-Phase Transformerless Z-Source Inverter to Reduce Leakage Currents in Photovoltaic Systems" Industrial Electronics, IEEE Transactions on, Vol. 58, No. 12, pp. 5385 – 5395, 2011.
- [15] Liserre, M. , Teodorescu, R. , Klumpner, C. , Sumner, M., "Evaluation of Three-Phase Transformerless Photovoltaic Inverter Topologies" Power Electronics, IEEE Transactions on, Vol. 24, No. 9, pp. 2202 – 2211, 2009.
- [16] IEEE Std 519, 'IEEE Recommended Practices and Requirements for Harmonic Control in Electrical Power Systems', 1992.
- Multilevel-Based Photovoltaic Inverter" Industrial Electronics, IEEE Transactions on Vol.55, No.7, pp. 2694 – 2702, 2008.
- [9] Dominic, J., Lai, J.-S., Chen, C.-L., LaBella, T., Chen, B., "High Reliability and Efficiency Single-Phase Transformerless Inverter for Grid-Connected Photovoltaic Systems" Power Electronics, IEEE Transactions on, Vol. 28, No.5, pp. 2235 – 2245, 2013.
- [10] Wuhua Li, Yunjie Gu, Wenfeng Cui, Xiangning He, "Improved Transformerless Inverter With Common-Mode Leakage Current Elimination for a Photovoltaic Grid-Connected Power System" Power Electronics, IEEE Transactions on, Vol.27, No.2, pp. 752 – 762, 2012.
- [11] Koutroulis, E. , "Methodology for the optimal design of transformerless grid-connected PV inverters" Power Electronics, IEEE Transactions on, Vol. 27, No.2, pp. 752 – 762, 2012 .
- [12] Atkinson, David. J., Johnson, C.M., Abeyasekera, T.D., "Auto-Calibrating DC Link Current Sensing Technique for Transformerless, Grid Connected, H-Bridge